บทที่ 1

บทนำ

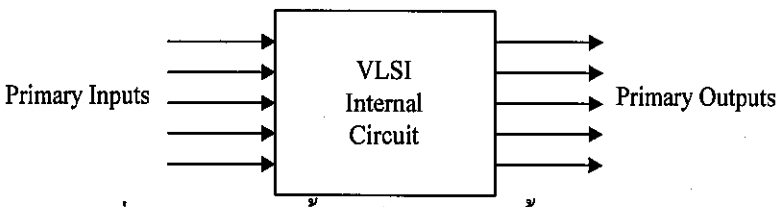
1.1 ความนำ

การพัฒนาเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์ในปัจจุบันเป็นไปอย่างรวดเร็ว ทำให้อุตสาหกรรมการผลิตอุปกรณ์ชิ้นส่วนทางอิเล็กทรอนิกส์และคอมพิวเตอร์ เป็นวงจรรวมขนาดใหญ่มาก หรือ VLSI (Very Large-Scale Integrated Circuit) วงจรมีขนาดเล็กลงมากทำให้สามารถบรรจุวงจรและอุปกรณ์อิเล็กทรอนิกส์ชนิดต่างๆ จำนวนมหาศาลไว้ในชิ้นสารกึ่งตัวนำที่มีขนาดเล็กเพียงชิ้นเดียว เพื่อทำให้ตัววงจรที่ผลิตขึ้นมานั้นมีสมรรถนะในการทำงานและมีความน่าเชื่อถือสูงขึ้น

อย่างไรก็ดีตัววงจรที่สร้างขึ้นมานั้นอาจไม่สามารถทำงานได้ครบทุกฟังก์ชันตามที่ได้ออกแบบไว้ เพราะว่าในความเป็นจริงในกระบวนการผลิตอาจมีข้อบกพร่องต่างๆ มากมายที่อาจเกิดขึ้นได้ เช่น ข้อบกพร่องที่เกิดขึ้นจากสภาพทางกายภาพ ทางเคมี ทางความร้อน และข้อบกพร่องที่เกิดขึ้นในการสร้างอุปกรณ์อิเล็กทรอนิกส์หรือตัววงจร ซึ่งข้อบกพร่องทั้งหลายสามารถเกิดขึ้นในระหว่างกระบวนการทำ Oxidation, Diffusion, Photolithography, Metallization and Packaging ดังนั้นในระหว่างกระบวนการผลิต VLSI ขั้นตอนการทดสอบจึงเป็นสิ่งสำคัญยิ่ง เพื่อให้แน่ใจว่าวงจรไม่มีข้อบกพร่องใดๆ การประกันคุณภาพ (Quality Assurance) ก่อนที่จะนำเอาอุปกรณ์ไปจำหน่ายออกสู่ตลาด

1.2 ที่มาของปัญหา

การทดสอบวงจร VLSI โดยทั่วไปมีความยุ่งยากมาก เนื่องจากวงจรมีระบบที่ซับซ้อนไม่สามารถตรวจวัดสัญญาณต่างๆ ภายในตัววงจรได้โดยง่าย บริเวณเดียวที่สามารถป้อนสัญญาณเข้าสู่วงจรได้ คือ ที่ขั้วขาเข้าหลัก (Primary Inputs) และบริเวณเดียวที่สามารถตรวจวัดสัญญาณที่ตอบสนองของวงจรได้ก็คือ ที่ขั้วขาออกหลัก (Primary Outputs) เท่านั้น ดังแสดงบริเวณทั้งสองในรูปที่ 1.1



รูปที่ 1.1 VLSI กับ ขั้วขาเข้าหลัก และ ขั้วขาออกหลัก [2]

การทดสอบวงจร VLSI อาศัยรูปแบบสัญญาณทดสอบ (Test Patterns) ป้อนเข้าที่ขั้วขาเข้าหลักของวงจรพร้อมกับทำการวัดสัญญาณที่ได้จากขั้วขาออกหลัก ถ้าหากสัญญาณที่วัดได้ไม่ถูกต้องตามที่ได้คาดหวังไว้ หรือไม่ตรงกับกับสัญญาณที่ได้จากวงจรที่ดี ก็สรุปว่าวงจรที่นำมาทดสอบนั้นเสีย ในการทดสอบวงจรแต่ละครั้งก็จะได้รายงานผลของการทดสอบออกมา หรือถ้าเป็นไปได้อาจจะระบุตำแหน่งของจุดเสีย เพื่อทำให้ง่ายต่อการนำไปตรวจซ่อม หรือเป็นข้อมูลให้แก่วิศวกรออกแบบวงจร นำไปแก้ไขปัญหาข้อบกพร่องที่เกิดขึ้น ในการออกแบบวงจร หรือปรับปรุงกระบวนการผลิต

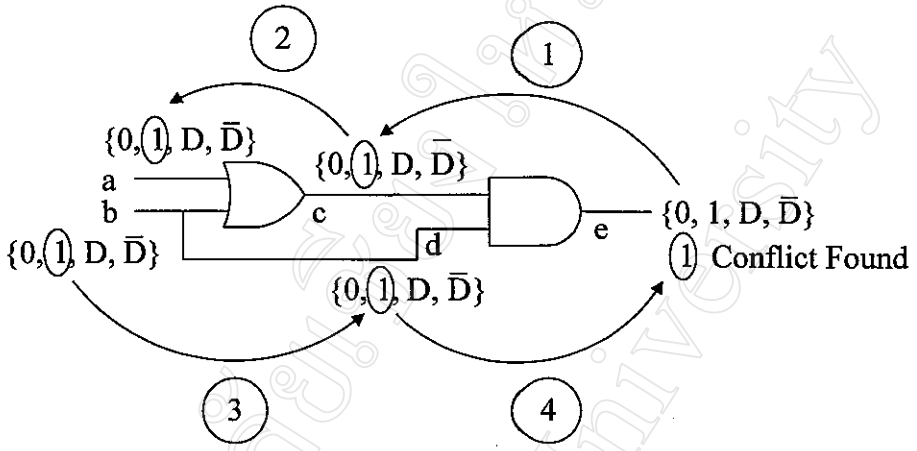
ในการทดสอบวงจรเพื่อหาจุดเสียที่เฉพาะเจาะจงเพียงหนึ่งจุด สำหรับวงจรประกอบ (Combination Circuit) ใช้รูปแบบสัญญาณทดสอบเพียงหนึ่งรูปเท่านั้น แต่สำหรับวงจรลำดับ (Sequential Circuit) อาจจะใช้รูปแบบสัญญาณทดสอบมากกว่าหนึ่งรูปแบบ กระบวนการสร้างรูปแบบสัญญาณทดสอบนี้เรียกว่า การให้กำเนิดรูปแบบสัญญาณทดสอบ (Test Pattern Generation)

การให้กำเนิดรูปแบบสัญญาณทดสอบ แบ่งออกเป็น 2 ประเภทใหญ่ ๆ คือ แบบใช้คนทำโดยการคิดคำนวณในแผ่นกระดาษ (Manual Test Pattern Generation) ซึ่งมีขีดจำกัดสามารถทำได้กับวงจรที่มีอุปกรณ์จำนวนไม่มาก และเป็นไปไม่ได้สำหรับวงจรที่มีความซับซ้อนระดับหนึ่ง การให้กำเนิดรูปแบบสัญญาณทดสอบอีกแบบหนึ่งได้แก่ แบบใช้คอมพิวเตอร์ โดยอาศัยคอมพิวเตอร์เข้ามาช่วยทำงานอย่างอัตโนมัติ จึงเรียกกระบวนการนี้ว่า การให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ หรือ ATPG (Automatic Test Pattern Generation) คือ กระบวนการสร้างรูปแบบสัญญาณทดสอบทีละหนึ่งรูปแบบ เพื่อทดสอบจุดเสียที่เฉพาะเจาะจงเพียงหนึ่งจุดเท่านั้น

ในระหว่างกระบวนการให้กำเนิดรูปแบบสัญญาณทดสอบ โปรแกรมอาจจะมีการทำงานแบบย้อนรอย (Backtrack) เกิดขึ้น ทำให้สูญเสียเวลาส่วนหนึ่งไปเพื่อที่จะทำการย้อนรอย สาเหตุที่เกิดการย้อนรอย คือ การเลือกค่าตรรกให้แก่ขั้วขาเข้าของวงจรหรือของเกตผิด เมื่อทำการแพร่ค่าตรรกไปข้างหน้า (Forward Propagation) จะพบความขัดแย้ง (Conflict) ของค่าตรรกระหว่างขั้วขาเข้ากับขั้วขาออก เช่น เมื่อต้องการค่าตรรก “0” หรือ “1” ที่ขั้วขาออกของวงจรหรือของเกตค่าใดค่าหนึ่ง จากนั้นทำการเลือกค่าตรรกให้แก่ขั้วขาเข้าของวงจรหรือของเกต แล้วทำการแพร่ค่าตรรกไปข้างหน้าจนถึงขั้วขาออกของวงจร ถ้าพบว่าค่าตรรกที่ขั้วขาออกของวงจรหรือของเกตไม่ตรงกับค่าที่ต้องการ ทำให้โปรแกรมทำการย้อนรอย เพื่อไปเลือกค่าตรรกให้แก่ขั้วขาเข้าของวงจรหรือของเกตใหม่ จนกว่าจะได้ค่าที่ขั้วขาออกตามที่ต้องการ

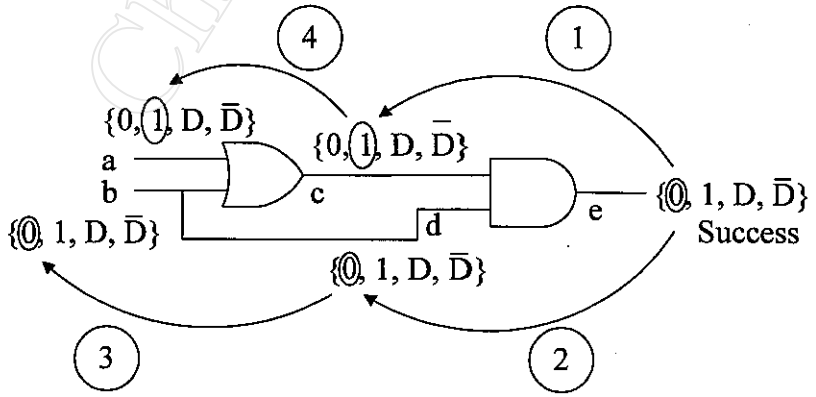
ในรูปที่ 1.2 เป็นวงจรตัวอย่าง แสดงให้เห็นถึงความขัดแย้งที่เกิดขึ้นระหว่างขั้วขาเข้ากับขั้วขาออกของ AND เกต โดยใช้แบบจำลองตรรก 16 ค่า [22] สมมุติว่าต้องการค่า “0” ที่ขั้วขาออกหลัก เนื่องจากค่าตรรกที่จะเลือกให้แก่ขั้วขาเข้ามีให้เลือกหลายค่า ทำให้โปรแกรมมีโอกาสเลือกค่าตรรก

ให้แก่ขั้วขาเข้าได้หลายค่าตามตารางความจริง (Truth Table) ของเกตแต่ละชนิด จากรูปที่ 1.2 การเลือกค่าตรรกให้แก่ขั้วขาเข้าของวงจรหรือของเกต และการแพร่ค่าตรรกไปข้างหน้า แสดงในเส้นที่ 1, 2, 3และ 4 ในเส้นที่ 4 พบว่าค่าตรรก "1" ปรากฏที่ขั้วขาออกหลัก ซึ่งไม่ตรงกับค่าที่ต้องการ

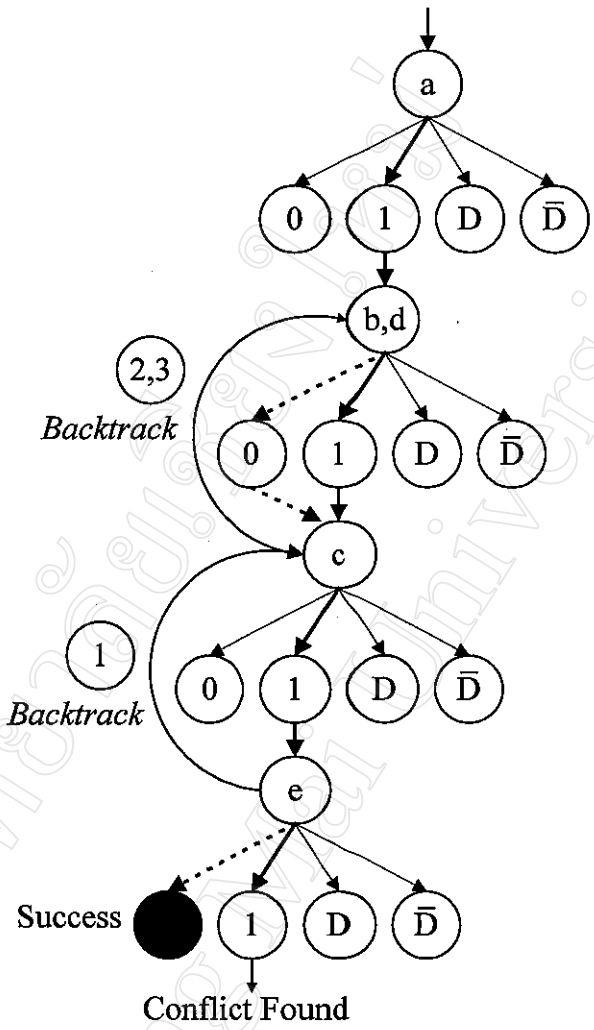


รูปที่ 1.2 วงจรตัวอย่าง ที่เกิดความขัดแย้งโดยใช้แบบจำลองตรรก 16 ค่า

ในเส้นที่ 1 เลือกค่าตรรก "1" ให้แก่ขั้วขาเข้าของ AND เกต ทำให้ขั้วขาเข้าอีกขั้วหนึ่งในเส้นที่ 3 จะต้องเลือกค่าตรรก "0" เพื่อทำให้ได้ค่าตรรก "0" ที่ขั้วขาออกหลัก ขั้วขาออกของ OR เกต จะต้องมีค่าตรรกเป็น "1" ในเส้นที่ 1 ดังนั้นค่าตรรกที่เลือกให้แก่ขั้วขาเข้า OR เกต ที่เป็นไปได้ทั้งหมดมีดังนี้ a/b $\in$ {(0/1), (1/0), (1/1), (1/D), (D/1), (1/$\overline{D}$), ($\overline{D}$/1), (D/$\overline{D}$), ($\overline{D}$/D)} ในเส้นที่ 4 ขั้วขาเข้าของ OR เกต เลือกค่าตรรก a = "1" ขั้วขาเข้า b ในเส้นที่ 3 จะมีค่าตรรก {0, 1, D, $\overline{D}$} ให้เลือก ถ้าเลือกค่าตรรก "1" ทำให้ขั้วขาออกของ AND เกต มีค่าตรรกเป็น "1" ถ้าเลือกค่าตรรก "0" ทำให้ขั้วขาออกของ AND เกต มีค่าตรรกเป็น "0" ดังแสดงในรูปที่ 1.3



รูปที่ 1.3 การย้อนรอยเพื่อเลือกค่าตรรกให้แก่ขั้วขาเข้าใหม่



รูปที่ 1.4 โครงสร้างข้อมูลแบบ B-Tree แสดงการทำงานแบบย้อนรอย

ในรูปที่ 1.3 แสดงการย้อนรอยที่เกิดขึ้น ในเส้นที่ 1, 2 และ 3 ซึ่งเป็นการหาคำตอบจาก Search Space จนกว่าจะได้คำคอบตามที่ต้องการ จากรูปที่ 3 และ 4 สามารถแสดงได้โดยใช้โครงสร้างข้อมูลแบบ B-Tree ดังแสดงในรูปที่ 1.4 เมื่อกำหนดค่าตรรก a = “1”, b = d = “1”, c = “1” ทำการแพร่ค่าตรรกไปข้างหน้าจนถึงขั้วขาออกหลัก ปรากฏว่าได้ค่าตรรกเป็น “1” ซึ่งไม่ตรงกับค่าที่ต้องการ โปรแกรมจะมีการทำงานแบบย้อนรอย ในเส้นที่ 1, 2 และ 3 เพื่อเลือกค่าตรรก “0” ให้แก่ b และ d แสดงในเส้นประ แล้วทำการแพร่ค่าตรรกไปข้างหน้าจนถึงขั้วขาออกหลัก ได้ค่าตรรก “0” ตามที่ต้องการ

เนื่องจากโปรแกรมมีการทำงานแบบย้อนรอยเกิดขึ้น ถ้าในวงจรมีค่าตรรกให้เลือกหลายค่าเพื่อเลือกให้แก่ขั้วขาเข้าของวงจรหรือของเกต โอกาสที่จะเกิดการย้อนรอยก็มีมากขึ้น และเกิดขึ้นได้หลายครั้ง ทำให้ประสิทธิภาพในการทำงานของคอมพิวเตอร์ในกระบวนการเอทีพีจีลดลงและเวลาที่ต้องการใช้เพิ่มมากขึ้น

1.3 ผลงานวิจัยและงานที่เกี่ยวข้อง

1.3.1 Sang-In, A. [22] ได้ทำการศึกษาวิจัยเกี่ยวกับ Automatic Test Pattern Generation (ATPG) ในวงจรดิจิตอล ได้ทำการคิดค้นหาวิธีการใหม่ๆ เพื่อที่จะมาเพิ่มประสิทธิภาพการทำงานของ ATPG Program คือ Fault Collapsing, Walking-D Algorithm และได้ทำการปรับปรุงแบบจำลองตรรก 16 ค่า ที่ใช้ทดสอบวงจรประกอบ มาเป็นแบบจำลองตรรกที่เรียกว่า MOSAIC (MOdified Sixteen-vAlued logIC model) เพื่อนำมาใช้ทดสอบวงจรลำดับ และยังเสนอวิธีการรายการลดทอน

1.3.2 Gole, P. [6] ได้ทำการปรับปรุง D-Algorithm (DALG) เพราะมีข้อบกพร่องเมื่อมีการทดสอบวงจรประกอบ ประเภท ECAT (Error Correction And Translation) เกตที่เป็น XOR (Exclusive-OR) และ Reconvergent Fan-out โดยใช้วิธีการใหม่ที่ชื่อว่า PODEM Algorithm โดยใช้ Implicit Enumeration (0-1 Integer) เป็นหลักวิธีที่มีความเรียบง่ายสมบรูณ์แบบ โดยใช้วิธีการ Heuristic ในการค้นหา (Search) ที่แน่นอนทุกๆ ค่าที่เป็นไปได้ของขั้วขาเข้าหลัก

1.3.3 Eugen l. Muehldorf and Anil D. Savker [12] ได้กล่าวถึงการพัฒนาการทดสอบวงจรโดยรวมของ LSI (Large Scale Integration) ซึ่งได้รวบรวมเอาเทคนิควิธีการที่นำมาอธิบายได้แก่ Fault Modeling, Test Pattern Generation, Fault Simulation และ Design For Testability เพื่อเป็นพื้นฐานที่จะนำเอาวิธีการต่างๆ ที่กล่าวมาพัฒนาการออกแบบวงจร และการออกแบบการทดสอบในอุตสาหกรรมการผลิต

1.3.4 Michael H. Schulz, at al. [23] ได้เสนอวิธีการชื่อ SOCRATES (Structure-Oriented Cost-Reducing Automatic TESt Pattern Generation System) ประกอบด้วยหลายเทคนิควิธีการ ที่นำมาปรับปรุงแก้ไขให้มีประสิทธิภาพ เช่น ในด้านการเพิ่มความเร็วในการทำงานของ ATPG สำหรับวงจรประกอบ และการ Scan-based Circuit การทำงานจะอยู่บนพื้นฐานของ FAN Algorithm ซึ่งนำมาปรับแก้ไขให้ดีขึ้น ในเรื่องของ Implication, Unique Sensitization, และ Multiple Backtrack เป็นเทคนิคที่นำไปประยุกต์ใช้ในการลดจำนวน Backtracking, Recognition Conflict และ Redundancies

1.4 วัตถุประสงค์และขอบเขตของการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเอารายการลดทอน ติดตั้งเพิ่มเข้าไปในโปรแกรมเอทีพีจี เพื่อเพิ่มประสิทธิภาพการทำงานของโปรแกรม ดังมีรายละเอียดต่อไปนี้

1.4.1 วัตถุประสงค์ของการวิจัย

1.) เพื่อพัฒนาและเพิ่มประสิทธิภาพการทำงานของโปรแกรมให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ สำหรับวงจรดิจิตอล โดยใช้วิธีรายการลดทอน

2.) เพื่อศึกษาหาหลักวิธีที่เหมาะสม ในการให้กำเนิดรูปแบบสัญญาณทดสอบ

1.4.2 ขอบเขตของการวิจัย

เป็นการพัฒนาสร้างโปรแกรมให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ โดยมีคุณสมบัติดังนี้

1.) สามารถให้กำเนิดรูปแบบสัญญาณที่เหมาะสมโดยอัตโนมัติ ทั้งวงจรประกอบและวงจรลำดับ เพื่อนำไปใช้ในการประยุกต์การทดสอบ (Test Application)

2.) มีการยุบรวมจุดเสียประเภทเดียวกันเข้าไว้ด้วยกันเป็นกลุ่ม

3.) สร้างรายการลดทอน ซึ่งมีการเรียนรู้ และวิเคราะห์วงจรช่วยในการกำหนดค่าตรรกให้กับโหนดในวงจร

4.) ผลลัพธ์ที่ได้จากโปรแกรมเอทีพีจี คือ รูปแบบสัญญาณทดสอบอยู่ในรูปของแฟ้มข้อมูล

1.5 ประโยชน์ที่ได้รับจากการศึกษา

1.5.1 ข้อมูลที่ได้หลังจากการทดสอบวงจร ช่วยให้วิศวกรออกแบบวงจร ปรับปรุงแก้ไขข้อบกพร่องต่าง ๆ ที่เกิดขึ้นและในกระบวนการผลิต

1.5.2 ช่วยเพิ่มประสิทธิภาพในอุตสาหกรรมการผลิต VLSI โดยการนำรูปแบบสัญญาณทดสอบที่ได้จากโปรแกรมเอทีพีจี ไปประยุกต์ใช้ในกระบวนการทดสอบ ก่อนนำอุปกรณ์ไปจำหน่ายออกสู่ตลาด

1.5.3 ผลประโยชน์หรือความเสียหายที่เกิดขึ้น จากการทดสอบที่ไม่ครอบคลุมเพียงพอส่งผลให้เกิดความเสียหายแก่ผู้ใช้และผู้ผลิต ถ้ามีการออกแบบวงจร และการทดสอบที่ดีก็จะช่วยลดปัญหาเมื่อผู้ใช้นำไปใช้งาน และผู้ผลิตจะได้ไม่ต้องรับสินค้าส่งคืนจากลูกค้า

1.5.4 เป็นการพัฒนาองค์ความรู้ในสถาบันการศึกษา โดยนักศึกษาสามารถการแก้ไขปัญหาโดยใช้คอมพิวเตอร์ช่วย