บทที่ 2

แบบจำลองวงจร จุดเสีย และตรรก

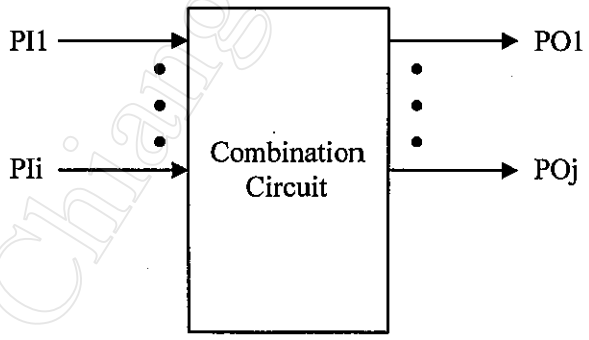
การแทนวงจรด้วยกราฟ และการกำหนดแบบจำลองจุดเสีย และตรรก เป็นเครื่องมือในการพัฒนาโปรแกรมเอทีพีจี เพื่อให้ง่ายต่อการคำนวณและการให้กำเนิดรูปแบบสัญญาณทดสอบด้วยคอมพิวเตอร์

2.1 แบบจำลองวงจรดิจิตอล (Digital Circuit Models)

แบบจำลองวงจรดิจิตอลที่ใช้กันโดยทั่วไปมี 2 ประเภท คือ วงจรประกอบ และวงจรลำดับ

2.1.1 แบบจำลองวงจรประกอบ (Combination Circuit Model)

โดยวงจรประกอบ จะประกอบขึ้นด้วยเกตชนิดต่างๆ ไม่มีสัญญาณป้อนกลับจากขั้วขาออกมาเข้าที่ขั้วขาเข้า ซึ่งสถานะที่ขั้วขาออกขึ้นอยู่กับองค์ประกอบ (Combination) ของสถานะที่ขั้วขาเข้าเท่านั้น ไม่ขึ้นอยู่กับเวลา และไม่ขึ้นอยู่กับสถานะในอดีตของวงจร แบบจำลองของวงจรประกอบดังแสดงในรูปที่ 2.1



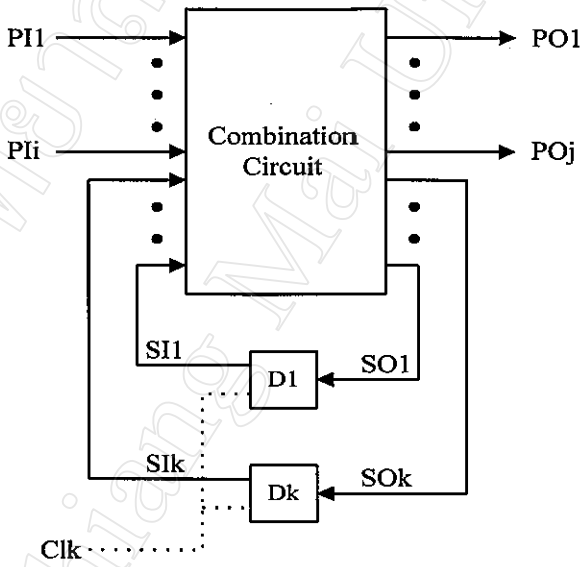
รูปที่ 2.1 แบบจำลองวงจรประกอบ [22]

2.2.2 แบบจำลองวงจรลำดับ (Sequential Circuit Model)

ลักษณะของวงจรลำดับ จะประกอบไปด้วยวงจรประกอบ พร้อมกับมีส่วนที่ทำหน้าที่เก็บหรือจดจำ (Memory Elements, $D_1,...,D_k$) ค่าสถานะที่เกิดขึ้นก่อนหน้า สำหรับป้อนกลับเข้าไปให้วงจรประกอบ เพื่อให้ได้ค่าผลลัพธ์ที่ขั้วขาออกแปรเปลี่ยนไปตามที่ต้องการ ทั้งนี้ขึ้นอยู่กับ

สถานะที่ขั้วขาเข้าจากภายนอกและสัญญาณที่ป้อนกลับจากภายในวงจร แบบจำลองของวงจรลำดับดังแสดงในรูปที่ 2.2 อุปกรณ์ที่ใช้ในการจำค่าหรือสถานะทางตรรก คือ อุปกรณ์ประเภทฟลิปฟลอป (FlipFlop)

วงจรลำดับแบ่งออกเป็น 2 แบบ คือ วงจรลำดับแบบซิงโครนัส (Synchronous Sequential Circuit) มีหน่วยความจำที่จดจำสถานะต่างๆ ถูกควบคุมด้วยสัญญาณนาฬิกา โดยสัญญาณนาฬิกาทำหน้าที่กำหนดจังหวะการทำงานของระบบ วงจรลำดับอีกแบบหนึ่งได้แก่ วงจรลำดับแบบอะซิงโครนัส (Asynchronous Sequential Circuit) จะมีส่วนที่ใช้ในการจดจำค่าสถานะต่างๆ เป็นวงจรหน่วง (Delay Circuit) ซึ่งการจดจำค่าสถานะที่เกิดขึ้น จะถูกเก็บไว้ในวงจรหน่วงชั่วขณะหนึ่ง ก่อนที่จะมีการเปลี่ยนแปลงเป็นอย่างอื่น โดยที่ไม่ต้องใช้สัญญาณนาฬิกาเป็นตัวกำหนดขั้นตอนในการทำงาน



รูปที่ 2.2 แบบจำลองวงจรลำดับ [22]

2.2 การกำหนดแบบจำลองของจุดเสีย (Fault Models)

จุดเสียที่อาจเกิดขึ้นได้ในวงจรดิจิตอลมีหลายรูปแบบ จำเป็นจะต้องกำหนดแบบจำลองของจุดเสีย (Fault Models) ให้เหมาะสมตามความเป็นจริงที่เกิดขึ้นในขณะใช้งาน เพื่อทำให้สามารถวิเคราะห์จุดเสียได้อย่างมีประสิทธิภาพ ซึ่งจะขึ้นอยู่กับแบบจำลองที่กำหนดขึ้นมา [22] การกำหนดแบบจำลองของจุดเสียสามารถกำหนดได้หลายรูปแบบ ขึ้นอยู่กับสาเหตุที่แตกต่างกันออกไป ในวงการทดสอบวงจรดิจิตอลนิยมใช้กันมากมีอยู่ 3 แบบได้แก่ [12]

2.2.1 แบบจำลองจุดเสียแบบติดค้าง (Stuck-at Fault Model)

แบบจำลองจุดเสียแบบติดค้างนี้ เป็นแบบจำลองที่เป็นพื้นฐานและใช้กันมากในการวิเคราะห์และทดสอบวงจรดิจิตอล [12] โดยนำไปใช้ในการจำลองการทำงานของจุดเสียและการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ แบบจำลองจุดเสียกำหนดขึ้นมาจากสาเหตุที่เกิดขึ้นจริงในวงจรมีอยู่ 2 แบบคือ จุดเสียแบบติดค้างที่-0 (Stuck-at-0, s-a-0) คือ จุดหรือเส้นในวงจรจะมีค่าตรรก "0" ติดค้างอยู่ และจุดเสียแบบติดค้างที่-1 (Stuck-at-1, s-a-1) คือ จุดหรือเส้นในวงจรจะมีค่าตรรก "1" ติดค้างอยู่ สัญลักษณ์ที่ใช้ในการเขียนแทนค่าของจุดเสียนี้คือ l/i หรือ l@i โดย l แทนจุดหรือเส้นในวงจร และ i แทนด้วยค่าตรรก "0" หรือ "1"

เมื่อพิจารณาวงจรที่นำมาทดสอบมีจำนวน m เส้น ภายใต้เงื่อนไขแบบจำลองจุดเสียแบบติดค้างเดี่ยว (Single Stuck-at Fault Model) วงจรนั้นก็จะมีจุดเสียที่สามารถเกิดขึ้นได้เท่ากับ 2m จุด คือในแต่ละเส้นของวงจรสามารถเกิดจุดเสียได้ทั้ง s-a-0 และ s-a-1 แต่กรณีที่ในวงจรเกิดจุดเสียได้มากกว่า 1 จุด (Multiple Faults) จำนวนจุดเสียที่สามารถเกิดขึ้นได้เท่ากับ 3^m-1 จุด คือ จุดหรือเส้นในวงจรเกิดจุดเสียได้ทั้ง s-a-0, s-a-1 และไม่เสีย

โดยปกติแล้วส่วนมากจะใช้แบบจำลองจุดเสียแบบติดค้างเดี่ยว ในการทดสอบวงจรดิจิตอล เพราะว่าสามารถครอบคลุมการเกิดจุดเสียแบบหลายจุดพร้อมกันได้เกือบทั้งหมด [2]

2.2.2 แบบจำลองจุดเสียแบบลัดวงจร (Bridging Fault Model)

แบบจำลองจุดเสียแบบนี้ เกิดขึ้นจากการลัดวงจรระหว่างจุดหรือเส้นในวงจร จุดเสียแบบลัดวงจรในบางครั้งก็ไม่มีผลในการทำงานของวงจร ถ้าจุดที่ลัดวงจรกันนั้นมีค่าตรรกตรงกัน แต่ถ้าต่างกันก็จะมีผลทำให้การทำงานของวงจรเกิดผิดพลาดขึ้น ซึ่งก็ขึ้นอยู่กับเทคโนโลยีในการสร้างวงจรหรืออุปกรณ์นั้นๆ เช่น TTL (Transistor-Transistor Logic) จะมีค่าตรรก "0" เป็นตัวข่ม (Dominator) ถ้าเกิดจุดหรือที่ลัดวงจรกันมีค่าตรรกเป็น "0" และ "1" ผลลัพธ์ของค่าตรรกที่จุดเสียจะมีค่าเป็น "0" และใน ECL (Emitter-Coupling Logic) จะมีค่าตรรก "1" เป็นตัวข่ม [2]

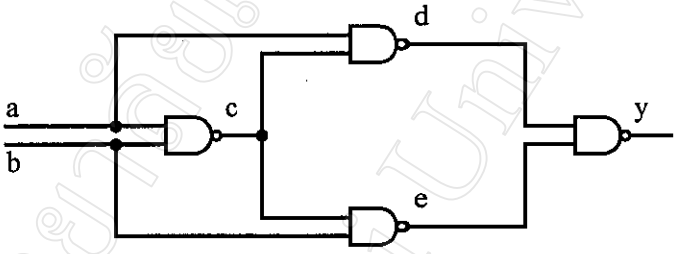
2.2.3 แบบจำลองจุดเสียแบบทำงานช้า (Delay Fault Model)

จุดเสียแบบทำงานช้า หรือเรียกอีกอย่างหนึ่งว่า AC Fault [2] จุดเสียแบบนี้จะส่งผลให้การทำงานของวงจรล้าช้าลง ทำให้วงจรไม่สามารถตอบสนองต่อการเปลี่ยนสัญญาณได้ตามข้อกำหนดที่ได้ออกแบบไว้

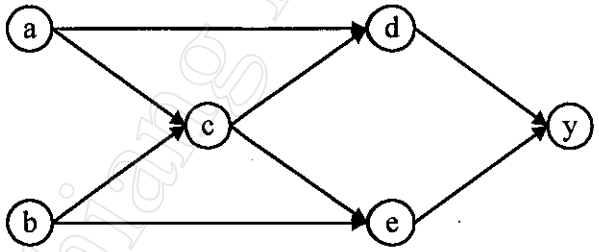
2.3 กราฟและการแทนวงจรด้วยกราฟ (Graph and Circuit representation)

การวิเคราะห์วงจรดิจิตอลด้วยคอมพิวเตอร์ ต้องมีการแปลงรูปวงจรให้อยู่ในแบบจำลองที่ง่ายต่อการคิดคำนวณด้วยคอมพิวเตอร์ ในขณะเดียวกันจะต้องครอบคลุมพฤติกรรมของจุดเสียทางกายภาพได้เป็นอย่างดี โดยปกติแล้วการแปลงวงจรดิจิตอลจะอยู่ในแบบจำลองของกราฟแบบมีทิศทาง

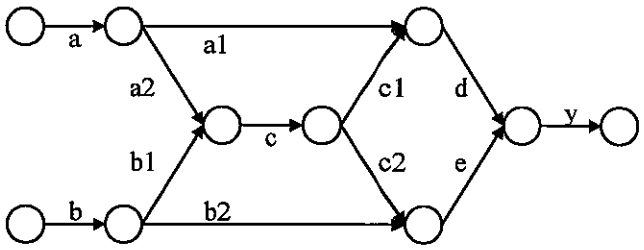
การแทนวงจรด้วยรูปกราฟ จะมีอยู่ 2 ลักษณะคือ การแทนวงจรแสดงในลักษณะที่เป็นโหนดกับแสดงในลักษณะที่เป็นเส้น จากรูปที่ 2.3 เป็นวงจรตัวอย่าง การแทนวงจรที่เป็นโหนดและการแทนวงจรที่เป็นเส้นในรูปของกราฟ แสดงดังรูปที่ 2.4, 2.5 ตามลำดับ



รูปที่ 2.3 วงจรตัวอย่างใช้ในการแทนให้เป็นรูปกราฟ [22]

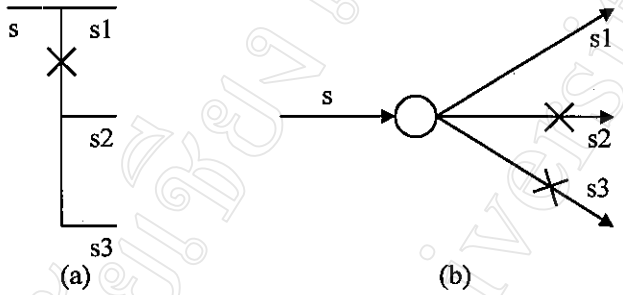


รูปที่ 2.4 การแทนวงจรด้วยรูปกราฟที่เป็นโหนด [22]



รูปที่ 2.5 การแทนวงจรด้วยรูปกราฟที่เป็นเส้น [22]

การแทนวงจรของกิ่งที่เป็นจุดแยก (Fan-out Branch) ให้มาอยู่ในรูปของกราฟนั้น สามารถแสดงตัวอย่างได้ดังรูปที่ 2.6 ในรูปที่ 2.6 (a) แสดงรูปวงจรจริงโดยมีจุดเสีย ณ เส้นที่เชื่อมระหว่าง s1 และ s2 ส่วนรูปที่ 2.6 (b) เป็นการแทนวงจรในรูปที่ 2.6 (a) ด้วยกราฟ มีผลทำให้ s2 และ s3 เกิดเสียตามไปด้วย ทำให้ไม่ตรงกับความเป็นจริงที่เกิดจุดเสียในวงจร



รูปที่ 2.6 แสดงการเกิดจุดเสียที่ Fan-out [22]

โดยปกติแล้วเมื่อแทนวงจรให้มาอยู่ในรูปกราฟแล้ว โปรแกรมจะทำการวิเคราะห์จุดเสียได้ทีละจุด ถ้าเกิดจุดเสียเกิดขึ้นพร้อมกันหลายจุด การวิเคราะห์จุดเสียของโปรแกรมก็จะทำให้ยุ่งยาก นอกจากนี้ยังขึ้นอยู่กับการเขียนโปรแกรมในการวิเคราะห์วงจร และแบบจำลองของจุดเสียที่กำหนดขึ้นมาในการทดสอบวงจร

2.4 แบบจำลองตรรก (Logic Models)

แบบจำลองตรรกที่ใช้เป็นพื้นฐานในโปรแกรมจำลองการทำงานของจุดเสีย และโปรแกรมให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ ซึ่งโดยทั่วไปจะมี แบบจำลองตรรก 2 ค่า (2-Valued Logic Model), {1, 0} หรือแบบจำลองตรรก 3 ค่า (3-Valued Logic Model), {1, 0, X} ซึ่งไม่เพียงพอในการวิเคราะห์วงจร และไม่สามารถที่จะแสดงจุดเสียภายในวงจรได้ การใช้แบบจำลองตรรกที่เหมาะสมจะช่วยลดจำนวนของทางแยก (Branching) ในการตัดสินใจและการย้อนรอย [16] ของโปรแกรมอเทพีจี

แบบจำลองตรรกที่ใช้ในการทดสอบวงจร มีดังนี้ คือ แบบจำลองตรรก 5 ค่า (5-Valued Logic Model) แบบจำลองตรรก 9 ค่า (9-Valued Logic Model) และแบบจำลองตรรก 16 ค่า (16-Valued Logic Model)

2.4.1 แบบจำลองตรรก 5 ค่า (5-Valued Logic Model)

แบบจำลองตรรก 5 ค่า ถูกคิดค้นขึ้นโดย Roth [19] จะมีตรรกอยู่ 5 ค่า แสดงทั้งจุดดีและจุดเสียในวงจรดิจิตอล รายละเอียดแสดงในตารางที่ 2.1 โดย "D" คือ จุดเสียที่จุดหรือเส้นในวงจรที่มีค่าตรรก "0" ติดค้างอยู่ ค่าที่เป็นปกติจะมีค่าตรรกเป็น "1" ส่วน "$\overline{D}$" คือ จุดเสียที่จุดหรือเส้นในวงจรที่มีค่าตรรก "1" ติดค้างอยู่ ค่าตรรกที่เป็นปกติจะมีค่าเป็น "0" และ "X" เป็นค่าของตรรกอะไรก็ได้ แบบจำลองตรรก 5 ค่า ซึ่งใช้กันมากในการทดสอบวงจรวงจรดิจิตอล ในกระบวนการของการจำลองการทำงานจุดเสีย และการให้กำเนิดรูปแบบสัญญาณทดสอบ

ตารางที่ 2.1 แบบจำลองตรรก 5 ค่า [22]

Signals	Definitions
0	Logic 0
1	Logic 1
X	Don't care value (or unknown)
D	Logic 1 in good circuit and 0 in faulty circuit, or stuck-at-0
$\overline{D}$	Logic 0 in good circuit and 1 in faulty circuit, or stuck-at-1

2.4.2 แบบจำลองตรรก 9 ค่า (9-Valued Logic Model)

แบบจำลองตรรก 9 ค่า จะช่วยทำให้เพิ่มความเร็วในการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ ถูกคิดค้นขึ้นโดย Muth [13] รายละเอียดต่าง ๆ แสดงในตารางที่ 2.2

ในแบบจำลองตรรก 9 ค่า มีแบบจำลองตรรก 3 ค่า {X, 0, 1} รวมอยู่ ด้วย ค่าของตรรกที่แสดงในวงจรก็มีทั้งจุดที่ดี และจุดที่เสียในวงจร ก็เหมือนกับแบบจำลองตรรก 5 ค่า ที่นำไปใช้ในการกำหนดค่าให้กับโหนดในวงจร เมื่อเปรียบเทียบแบบจำลองตรรก 5 ค่า กับ แบบจำลองตรรก 9 ค่า ซึ่งแบบจำลองตรรก 9 ค่า จะให้ข้อมูล และรายละเอียดในแต่ละโหนดมากกว่า นอกจากนั้นยังใช้แบบจำลองตรรก 9 ค่า ในวงจรลำดับ [13] ที่มีเส้นจากขั้วขาออกของวงจรหรือของเกตป้อนกลับมาเข้าที่ขั้วขาเข้าของวงจร (Loop Feedback) โดยทำการตัดเส้นวงจรจากขั้วขาออกที่ป้อนกลับมาเข้าที่ขั้วขาเข้าออกให้เหมือนกับวงจรประกอบก่อนทำการให้กำเนิดรูปแบบสัญญาณทดสอบ ในการเปลี่ยนวงจรลำดับเป็นวงจรประกอบได้อธิบายใน [22]

ตารางที่ 2.2 แบบจำลองตรรก 9 ค่า [22]

Signals	Signals in good circuit	Signals in faulty circuit	Definitions of signals
0	0	0	logic 0 in both good and faulty circuit
1	1	1	logic 1 in both good and faulty circuit
X	X	X	Don't care values in both good and faulty circuit
G0	0	X	logic 0 in good circuit and X in faulty circuit
G1	1	X	logic 1 in good circuit and X in faulty circuit
F0	X	0	logic X in good circuit and 0 in faulty circuit
F1	X	1	logic X in good circuit and 1 in faulty circuit
S0	1	0	logic 1 in good circuit and 0 in faulty circuit
S1	0	1	logic 0 in good circuit and 1 in faulty circuit

2.4.3 แบบจำลองตรรก 16 ค่า (16-Valued Logic Model)

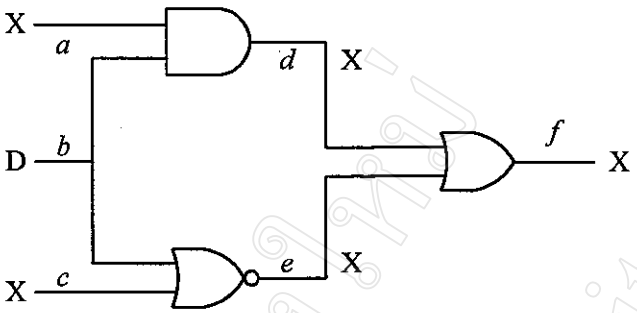
เป็นแบบจำลองตรรกที่ใช้มากที่สุดในการทำการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ ถูกคิดค้นขึ้นโดย Rajski และ Cox [16] รายละเอียดแสดงในตารางที่ 2.3

ในการเลือกแบบจำลองตรรกให้เหมาะสม สำหรับนำมาใช้ในการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ จำเป็นต้องพิจารณาแบบจำลองตรรกแต่ละแบบก่อน จากตัวอย่างต่อไปนี้แสดงให้เห็นถึงความแตกต่างของการใช้แบบจำลองตรรกแต่ละแบบ

จากรูปที่ 2.7 เป็นการใช้แบบจำลองตรรก 5 ค่า ในการกำหนดค่าให้กับโหนดในวงจร เมื่อทำการแพร่ค่าตรรกไปข้างหน้า เมื่อเกิดจุดเสียที่จุด b จากขั้วขาเข้าหลักจนถึงขั้วขาออกหลักที่โหนด f ของวงจร

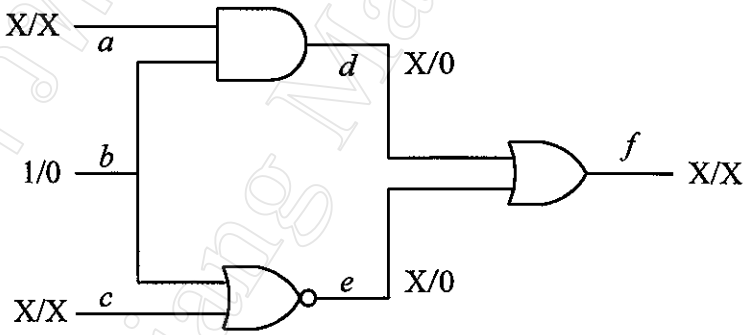
ตารางที่ 2.3 แบบจำลองตรรก 16 ค่า [22]

Decimal Values	Set of possible values on each node	Bitwise Encoded Values
0	{}	0000
1	{0}	0001
2	{1}	0010
3	{1, 0}	0011
4	$\{D\}$	0100
5	$\{D, 0\}$	0101
6	$\{D, 1\}$	0110
7	$\{D, 1, 0\}$	0111
8	$\{\overline{D}\}$	1000
9	$\{\overline{D}, 0\}$	1001
10	$\{\overline{D}, 1\}$	1010
11	$\{\overline{D}, 1, 0\}$	1011
12	$\{\overline{D}, D\}$	1100
13	$\{\overline{D}, D, 0\}$	1101
14	$\{\overline{D}, D, 1\}$	1110
15	$\{\overline{D}, D, 1, 0\}$	1111



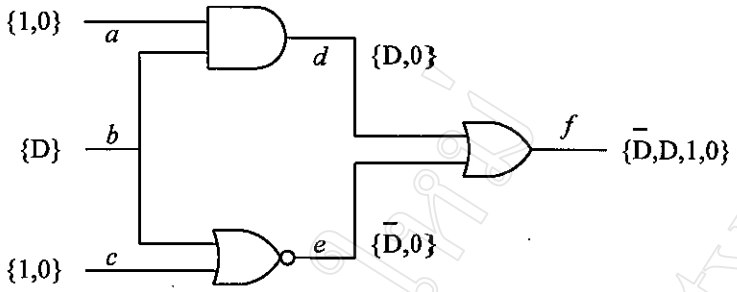
รูปที่ 2.7 การแพร่ไปข้างหน้าโดยใช้แบบจำลองตรรก 5 ค่า [22]

ผลลัพธ์ที่ขั้วขาออกที่โหนด f คือ X ผลที่เกิดขึ้น ค่าของตรรกจากจุดเสียไม่สามารถที่จะทำการแพร่มาที่ขั้วขาออกได้ เพราะส่วนมากทุกโหนดในวงจร จะมีแต่ค่าตรรกของ X คือ เป็นค่าของตรรกอะไรก็ได้ (Unknown Value) ในขบวนการของการเลือกค่าของ X ทำให้มีค่าให้เลือกหลายค่า ก่อนที่จะได้รูปแบบของสัญญาณที่ใช้ทดสอบพบจุดที่เสียในวงจร



รูปที่ 2.8 การแพร่ไปข้างหน้าโดยใช้แบบจำลองตรรก 9 ค่า [22]

จากรูปที่ 2.8 เป็นวงจรเดียวกันแต่เป็นการใช้แบบจำลองตรรก 9 ค่า ค่าของตรรกจะประกอบด้วย a/b, (a/b $\in$ {0/0, 0/1, 0/X, 1/0, 1/1, 1/X, X/0, X/1, X/X}) โดย a คือ ค่าของตรรกที่เป็นปกติ b คือ ค่าของตรรกที่เกิดจุดเสียในวงจร และค่า X คือ ค่าของตรรก อะไรก็ได้ การแพร่ไปข้างหน้าของค่าตรรกที่จุดเสีย ช่วยในการตัดสินใจเลือกค่าตรรกได้ง่ายขึ้น เมื่อเปรียบเทียบกับแบบจำลองตรรก 5 ค่า

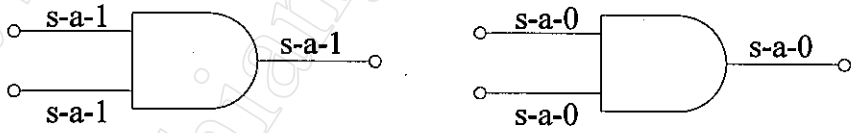


รูปที่ 2.9 การแพร่ไปข้างหน้าโดยใช้แบบจำลองตรรก 16 ค่า [22]

จากรูปที่ 2.9 เป็นการใช้แบบจำลองตรรก 16 ค่า จุดเสีย (D, $\overline{D}$) สามารถที่จะแพร่ไปปรากฏที่ขั้วขาออกได้ ก็จะสามารถทำการเลือก "D" หรือ "$\overline{D}$" ที่ขั้วขาออก เลือกมา 1 ค่า เพื่อทำการกำหนดค่าของตรรกให้กับโหนด เพื่อหารูปแบบสัญญาณทดสอบในวงจรได้ง่ายและรวดเร็วขึ้น

2.4 แบบจำลองจุดเสียสำหรับ AND เกต

โดยส่วนมากแล้วจะใช้แบบจำลองจุดเสีย แบบติดค้างที่ "0" และแบบติดค้างที่ "1" ขั้วขาเข้าหลัก และขั้วขาออกหลักในแต่ละเกตจะมีค่าตรรก "0" หรือ "1" ติดค้างอยู่ โดยไม่คำนึงถึงค่าตรรกที่ป้อนให้กับเกต ในการหารูปแบบสัญญาณทดสอบที่เฉพาะเจาะจงเพียง 1 จุด ต้องมีการจำลองการทำงานเพื่อให้ได้ค่าตรรกที่เป็นปกติกับเสียที่ขั้วขาออกหลัก



รูปที่ 2.10 แบบจำลองจุดเสีย s-a-1 และ s-a-0 ของ AND เกต [24]

พิจารณาแบบจำลองจุดเสียของ AND เกต แสดงในรูปที่ 2.10 มีจำนวนจุดเสียที่เกิดขึ้นทั้งหมด 6 จุด ตารางที่ 2.4 แสดงให้เห็นถึงค่าตรรกเมื่อเกิดจุดเสีย s-a-1 ที่ขั้วขาออกหลัก ค่าตรรกที่อยู่ในวงเล็บใหญ่เป็นค่าที่เกิดจากจุดเสีย และค่าที่อยู่นอกวงเล็บเป็นค่าปกติ แต่ละรูปแบบสัญญาณที่ป้อนให้กับขั้วขาเข้าหลัก A และ B มีผลทำให้ค่าตรรกที่ขั้วขาออกหลักแตกต่างจากที่เป็นปกติของอุปกรณ์ที่ดี ทำให้สามารถทดสอบ s-a-1 ที่ขั้วขาเข้าหลัก A ได้ อย่างไรก็ตามจะมีรูปแบบสัญญาณเดียวที่สามารถทดสอบได้ คือ A = "0", B = "1" ส่วนที่เหลือ A = "0", B = "X" และ A = "X", B = "1" ไม่สามารถทดสอบได้ เพราะว่าค่าของ X สามารถเป็นได้ทั้งค่าตรรก "1" และ "0 "

ตารางที่ 2.4 การเกิดจุดเสีย s-a-1 ของ AND เกต ที่ขั้วขาเข้าหลัก (A) [24]

A (s-a-1)	B	Y
0[1]	0	0
0[1]	1	0[1], A test
0[1]	X	0[X]
1[1]	0	0
1[1]	1	1
1[1]	X	X
X[1]	0	0
X[1]	1	X[1]
X[1]	X	X

ตารางที่ 2.5 การเกิดจุดเสีย s-a-1 ของ AND เกต ที่ขั้วขาออกหลัก (Y) [24]

A	B	Y (s-a-1)
0	0	0[1], A test
0	1	0[1], A test
0	X	0[1], A test
1	0	0[1], A test
1	1	1[1]
1	X	X[1]
X	0	0[1], A test
X	1	X[1]
X	X	X[1]

ในตารางที่ 2.5 สำหรับขั้วขาออกหลัก Y เมื่อเกิดจุดเสีย s-a-1 รูปแบบสัญญาณทดสอบที่ป้อนให้กับขั้วขาแข้า A และ B ที่สามารถทดสอบจุดเสีย s-a-1 ที่ Y ได้ มีดังนี้ A = “0” และ B = “0”, A = “0” และ B = “1”, A = “0” และ B = “X”, A = “1” และ B = “0”, A = “X” และ B = “0” รูปแบบสัญญาณทดสอบ 1 รูปแบบสามารถทดสอบจุดเสียได้มากกว่า 1 จุดได้ เช่น A = “0” และ B = “1” สามารถทดสอบจุดเสีย s-a-1 ที่ขั้วขาเข้าหลักหรือขั้วขาออกหลักได้ แต่ไม่สามารถที่จะ

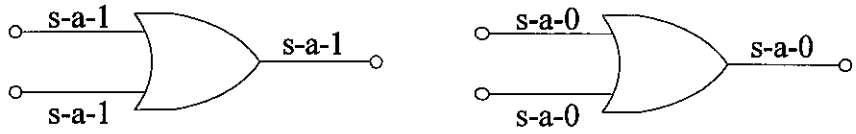
บอกได้ว่าระหว่างเกิดจุดเสีย s-a-1 ที่ A หรือ Y ได้เพราะว่าทั้งคู่มีผลทำให้ Y=1 ในตารางที่ 2.6 แสดงให้เห็นเมื่อเกิดจุดเสีย s-a-0 ที่ Y มีรูปแบบสัญญาณทดสอบแบบเดียวที่ทดสอบได้ คือ A = "1" และ B = "1"

ตารางที่ 2.6 การเกิดจุดเสีย s-a-0 ของ AND เกต ที่ขั้วขาออกหลัก (Y) [24]

A	B	Y (s-a-0)
0	0	0[0]
0	1	0[0]
0	X	0[0]
1	0	0[0]
1	1	1[0], A test
1	X	X[0]
X	0	0[0]
X	1	X[0]
X	X	X[0]

2.5 แบบจำลองจุดเสียสำหรับ OR เกต

ในรูปที่ 2.11 เป็น OR เกต 2 ขั้วขาเข้าหลัก แสดงให้เห็นจุดเสียที่เกิดขึ้นทั้งหมด และในตารางที่ 2.7 ประกอบด้วยรูปแบบสัญญาณทดสอบที่ป้อนให้กับ A และ B เพื่อทดสอบจุดเสีย s-a-0 ที่ A จะมีรูปแบบสัญญาณทดสอบ A = "1" และ B = "0" เท่านั้นที่สามารถทดสอบจุดเสีย s-a-0 ที่ A ได้ ส่วน A = "1", B = "X" และ A = "X", B = "0" ไม่สามารถทดสอบจุดเสียได้ เพราะว่าค่าตรรกของ "X" อาจจะเป็น "0" หรือ "1" ก็ได้ ตารางที่ 2.8 จะมีรูปแบบสัญญาณทดสอบอยู่ 5 รูปแบบ เพื่อจุดเสีย s-a-0 ที่ Y



รูปที่ 2.11 แบบจำลองจุดเสีย s-a-1 และ s-a-0 ของ OR เกต [24]

ตารางที่ 2.7 การเกิดจุดเสีย s-a-0 ของ OR เกต ที่ขั้วขาเข้าหลัก (A) [24]

A (s-a-0)	B	Y
0[0]	0	0
0[0]	1	1
0[0]	X	X
1[0]	0	1[0], A test
1[0]	1	1
1[0]	X	1[X]
X[0]	0	X[0]
X[0]	1	1
X[0]	X	X

ตารางที่ 2.8 การเกิดจุดเสีย s-a-0 ของ OR เกต ที่ขั้วขาออกหลัก (Y) [24]

A	B	Y (s-a-0)
0	0	0[0]
0	1	1[0], A test
0	X	X[0]
1	0	1[0], A test
1	1	1[0], A test
1	X	1[0], A test
X	0	X[0]
X	1	1[0], A test
X	X	X[0]

ถ้าเกิดจุดเสีย s-a-1 ที่ Y ในตารางที่ 2.9 จะมีรูปแบบสัญญาณทดสอบ A = "0" และ B = "0" เท่านั้นที่สามารถทดสอบจุดเสียนี้ได้ อย่างไรก็ตามรูปแบบสัญญาณทดสอบนี้ยังสามารถทดสอบจุดเสีย s-a-1 ที่ขั้วขาเข้าได้อีก (A, B) แต่ไม่สามารถที่จะแยกได้ว่าเสียที่จุดไหน เพราะว่าจุดเสีย

s-a-1 ที่ขั้วขาออกหลักของ OR เกต สมมูลกับกับจุดเสีย s-a-1 ที่ขั้วขาเข้าหลัก คือ ถ้ามีรูปแบบสัญญาณทดสอบจุดเสีย s-a-1 ที่ขั้วขาเข้าหลักได้ สามารถทำให้ทดสอบจุดเสีย s-a-1 ที่ขั้วขาออกหลักได้เช่นเดียวกัน

ตารางที่ 2.9 การเกิดจุดเสีย s-a-1 ของ OR เกต ที่ขั้วขาออกหลัก (Y) [24]

A	B	Y (s-a-0)
0	0	0[1], A test
0	1	1[1]
0	X	X[1]
1	0	1[1]
1	1	1[1]
1	X	1[1]
X	0	X[1]
X	1	1[1]
X	X	X[1]

2.6 แบบจำลองจุดเสียสำหรับ NOT เกต

สำหรับ NOT เกต จุดเสีย s-a-0 ที่ขั้วขาเข้าหลักสมมูลกับจุดเสีย s-a-1 ที่ขั้วขาออกหลัก และจุดเสีย s-a-1 ที่ขั้วขาเข้าหลักสมมูลกับจุดเสีย s-a-0 ที่ขั้วขาออกหลัก รูปแบบสัญญาณทดสอบ แสดงในตารางที่ 2.10 ส่วนเกตชนิดอื่นๆ เช่น NAND, NOR, XOR สามารถสร้างรูปแบบสัญญาณทดสอบได้จากเกตพื้นฐาน AND, OR, NOT

ตารางที่ 2.10 การเกิดจุดเสีย s-a-1 ของ NOT เกต ที่ขั้วขาออกหลัก (Y) [24]

A	Y (s-a-1)	Y (s-a-0)
0	1[1]	1[0], A test
1	0[1], A test	0[0]
X	X[1]	X[0]