สารบาญ

	หน้า
กิตติกรรมประกาศ	ค
บทคัดย่อภาษาไทย	ง
บทคัดย่อภาษาอังกฤษ	จ
สารบาญตาราง	ซ
สารบาญภาพ	ญ
สัญลักษณ์	ฏ
บทที่ 1 บทนำ	
1.1 ความนำ	1
1.2 ที่มาของปัญหา	1
1.3 ผลงานวิจัยและงานที่เกี่ยวข้อง	5
1.4 วัตถุประสงค์และขอบเขตการวิจัย	6
1.5 ประโยชน์ที่ได้รับจากการศึกษา	6
บทที่ 2 แบบจำลองวงจร จุดเสียและตรรก	7
2.1 แบบจำลองวงจรดิจิตอล	7
2.2 การกำหนดแบบจำลองจุดเสีย	8
2.2.1 แบบจำลองจุดเสียแบบติดค้าง	9
2.2.2 แบบจำลองจุดเสียแบบลัดวงจร	9
2.2.3 แบบจำลองจุดเสียแบบทำงานช้า	9
2.3 กราฟและการแทนวงจรด้วยกราฟ	10
2.4 แบบจำลองตรรก	11
2.4.1 แบบจำลองตรรก 5 ค่า	12
2.4.2 แบบจำลองตรรก 9 ค่า	12
2.4.3 แบบจำลองตรรก 16 ค่า	13
2.5 แบบจำลองจุดเสียสำหรับ AND เกต	16
2.6 แบบจำลองจุดเสียสำหรับ OR เกต	18

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Chiang Mai University

2.7 แบบจำลองจุดเสียสำหรับ NOT เกต 20
บทที่ 3 หลักวิธีการกำเนิดรายการลดทอนและรูปแบบสัญญาณทดสอบ 21
3.1 วิธีการให้กำเนิดรายการลดทอน 21
3.1.1 รายการลดทอนไปข้างหน้าหรือเซตฟังก์ชัน 21
3.1.2 ความสัมพันธ์การแพร่ค่าตรรกไปข้างหน้าของเกตพื้นฐาน 23
3.1.3 Contrapositive Law 24
3.2 วิธีการให้กำเนิดรูปแบบสัญญาณทดสอบ 26
3.2.1 วิธีเส้นทางการแพร่ค่าตรรก 26
3.2.2 วิธี D-Algorithm 28
3.2.3 วิธี PODEM 34
3.2.4 วิธี FAN 35
3.2.5 วิธี SOCRATES 36
3.3 วิธีการจำลองการทำงานจุดเสีย 38
บทที่ 4 โปรแกรมการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ 42
4.1 ข่ายระบบงานโปรแกรมเอทีพีจี 42
4.2 โปรแกรมสร้างแบบจำลองวงจรในรูปของกราฟแบบไม่มีทิศทาง 44
4.3 วิธีการท่องเข้าไปในกราฟ 46
4.4 การยุบรวมจุดเสีย 47
4.5 การให้กำเนิดรายการลดทอน 52
4.6 การให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ 58
บทที่ 5 การใช้งานและการทดสอบโปรแกรมเอทีพีจี 60
5.1 การใช้งาน 60
5.2 ผลการทดสอบโปรแกรมเอทีพีจี 60
บทที่ 6 สรุปและข้อเสนอแนะ 67
6.1 สรุปผลงานวิทยานิพนธ์ 67
6.2 ปัญหาและข้อเสนอแนะ 67
บรรณานุกรม 69
ประวัติผู้เขียน 72

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Chiang Mai University

สารบาญตาราง

ตาราง		หน้า
2.1	แบบจำลองตรรก 5 ค่า	12
2.2	แบบจำลองตรรก 9 ค่า	13
2.3	แบบจำลองตรรก 16 ค่า	14
2.4	การเกิดจุดเสีย s-a-1 ของ AND เกต ที่ขั้วขาเข้าหลัก (A)	17
2.5	การเกิดจุดเสีย s-a-1 ของ AND เกต ที่ขั้วขาออกหลัก (Y)	17
2.6	การเกิดจุดเสีย s-a-0 ของ AND เกต ที่ขั้วขาออกหลัก (Y)	18
2.7	การเกิดจุดเสีย s-a-1 ของ OR เกต ที่ขั้วขาเข้าหลัก (A)	19
2.8	การเกิดจุดเสีย s-a-0 ของ OR เกต ที่ขั้วขาออกหลัก (Y)	19
2.9	การเกิดจุดเสีย s-a-1 ของ OR เกต ที่ขั้วขาออกหลัก (Y)	20
2.10	การเกิดจุดเสีย s-a-1 ของ NOT เกต ที่ขั้วขาออกหลัก (Y)	20
3.1	ขั้นตอนการสร้างเส้นทางการแพร่ค่าตรรก	27
3.2	PDc สำหรับ AND เกต 2 ขั้วขาเข้า	29
3.3	PDc สำหรับ NAND เกต 2 ขั้วขาเข้า	29
3.4	PDc สำหรับ OR เกต 2 ขั้วขาเข้า	29
3.5	PDc สำหรับ NOR เกต 2 ขั้วขาเข้า	29
3.6	PDcf สำหรับ AND เกต 2 ขั้วขาเข้า	30
3.7	Singular Cover สำหรับ AND เกต 2 ขั้วขาเข้า	30
3.8	กฎการทำ Intersection	30
3.9	แสดงขั้นตอนการทำงานของหลักวิธี D-Algorithm	33
3.10	ตำแหน่งบิตที่เกิดจุดเสีย	39
3.11	กำหนดค่าในแต่ละบิตที่เกิดจุดเสีย	39
4.1	กฎการยุบรวมจุดเสีย	48
4.2	การยุบรวมจุดเสียที่สมมูลเข้าด้วยกันเป็นกลุ่ม	49

มหาวิทยาลัยเชียงใหม่ Chiang Mai University

4.3	การยุบรวมจุดเสียที่สมนัยเข้าด้วยกันเป็นกลุ่ม	50
5.1	คุณสมบัติวงจรประกอบ	61
5.2	คุณสมบัติวงจรประกอบ (ต่อ)	61
5.3	คุณสมบัติวงจรลำดับ	62
5.4	คุณสมบัติวงจรลำดับ (ต่อ)	62
5.5	ผลการทดลองทดสอบวงจรประกอบ	63
5.6	ผลการทดลองทดสอบวงจรลำดับ	63
5.7	ผลการทดสอบเปรียบเทียบวงจรประกอบ	64
5.8	ผลการทดสอบเปรียบเทียบวงจรลำดับ	64
5.9	ผลการทดสอบโปรแกรมจำลองการทำงานจุดเสียวงจรประกอบ	66
5.10	ผลการทดสอบโปรแกรมจำลองการทำงานจุดเสียวงจรลำดับ	66

มหาวิทยาลัยเชียงใหม่ Chiang Mai University

สารบาญภาพ

รูป		หน้า
1.1	VLSI กับขั้วขาเข้าหลัก และขั้วขาออกหลัก	1
1.2	วงจรตัวอย่างที่เกิดความขัดแย้งโดยใช้แบบจำลองตรรก 16 ค่า	3
1.3	การย้อนรอยเพื่อเลือกค่าตรรกให้แก่ขั้วขาเข้าใหม่	3
1.4	โครงสร้างข้อมูลแบบ B-Tree แสดงการทำงานแบบย้อนรอย	4
2.1	แบบจำลองวงจรประกอบ	7
2.2	แบบจำลองวงจรลำดับ	8
2.3	วงจรตัวอย่างใช้ในการแทนให้เป็นรูปกราฟ	10
2.4	การแทนวงจรด้วยรูปกราฟที่เป็นโหนด	10
2.5	การแทนวงจรด้วยรูปกราฟที่เป็นเส้น	10
2.6	แสดงการเกิดจุดเสียที่ Fan-out	11
2.7	การแพร่ค่าตรรกไปข้างหน้าโดยใช้แบบจำลองตรรก 5 ค่า	15
2.8	การแพร่ค่าตรรกไปข้างหน้าโดยใช้แบบจำลองตรรก 9 ค่า	15
2.9	การแพร่ค่าตรรกไปข้างหน้าโดยใช้แบบจำลองตรรก 16 ค่า	16
2.10	แบบจำลองจุดเสีย s-a-1 และ s-a-0 ของ AND เกต	16
2.11	แบบจำลองจุดเสีย s-a-1 และ s-a-0 ของ OR เกต	18
3.1	ภาพฟังก์ชันสำหรับ AND เกต 2 ขั้วขาเข้า	22
3.2	ส่วนกลับภาพฟังก์ชันสำหรับ AND เกต 2 ขั้วขาเข้า	23
3.3	วงจรตัวอย่างในการทำรายการลดทอน	25
3.4	แทนวงจรด้วยกราฟแบบมีทิศทางจากรูปที่ 3.3	25
3.5	วงจรตัวอย่างการสร้างเส้นทางการแพร่ค่าตรรก	26
3.6	ผังงานหลักวิธี D-Algorithm	31
3.7	วงจรตัวอย่างการใช้หลักวิธี D-Algorithm	32
3.8	วงจรตัวอย่างการใช้หลักวิธี FAN	36

3.9	แสดงความสัมพันธ์ระหว่างโหนด (Forward Propagation)	37
3.10	แสดงความสัมพันธ์ระหว่างโหนด (Backward Propagation)	37
3.11	จำลองการทำงานจุดเสียแบบขนานของ AND เกต 2 ขั้วขาเข้า	39
3.12	จำลองการทำงานจุดเสียแบบ Concurrent	41
4.1	ข่ายระบบงานการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ	43
4.2	วงจร c17.vm	44
4.3	รูปกราฟวงจร c17.vm	45
4.4	แสดงการเชื่อมต่อระหว่างแฮชชิ่งกับโหนด	45
4.5	แสดงการเชื่อมต่อระหว่างโหนดกับเส้น	46
4.6	การทดสอบจุดเสียที่สมมูลของ AND เกต	47
4.7	การทดสอบจุดเสียที่สมนัยของ AND เกต	48
4.8	แสดงการยุบรวมจุดเสียโดยใช้วิธีกรทดสอบจุดเสียที่สมมูล	48
4.9	แสดงการยุบรวมจุดเสียโดยใช้วิธีกรทดสอบจุดเสียที่สมนัย	50
4.10	โครงสร้างข้อมูลการยุบรวมจุดเสีย	51
4.11	แสดงการเก็บรายการลดทอนในโครงสร้างข้อมูลแบบรายการเดี่ยว	52
4.12	วงจร c17.vm ตัวอย่างการสร้างรายการลดทอน	52
4.13	ผังงานการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ	59
4.14	ภาพฟังก์ชันเกิดจุดเสีย $\{D\}$ เส้นที่ 14	60
4.15	ส่วนกลับภาพฟังก์ชันเกิดจุดเสีย $\{D\}$ เส้นที่ 0	61
4.16	ส่วนกลับภาพฟังก์ชันเกิดจุดเสีย {1} เส้นที่ 16	62
4.17	ส่วนกลับภาพฟังก์ชันเกิดจุดเสีย $\{\overline{D}\}$ เส้นที่ 10 กับเส้นที่ 15	63
4.18	วงจร s27.vm	64
4.19	แบบจำลองวงจรลำดับสำหรับทำเอทีพีจี	64
4.20	ภาพฟังก์ชันในกรอบเวลาที่ 0	65
4.21	ภาพฟังก์ชันในกรอบเวลาที่ 1	65
4.22	ส่วนกลับภาพฟังก์ชันในกรอบเวลาที่ 1	66
4.23	ส่วนกลับภาพฟังก์ชันในกรอบเวลาที่ 0	66

สัญลักษณ์

$\Leftrightarrow$	... ก็ต่อเมื่อ ...
$\Rightarrow$	ถ้า ... แล้ว ...
$\rightarrow$	ฟังก์ชันจาก ... ไปยัง ...
$\neg$	not
$\cap$	Intersection
$\subseteq$	เซตย่อย
$\neq$ (~)	ไม่เท่ากับ
ϕ	เซตว่าง
φ	เซตที่ไม่ต้องกำหนดค่า
$\in$	สมาชิกที่อยู่ในเซต
{...}	สมาชิกของเซต
D	จุดเสียแบบติดค้างที่-0 (s-a-0)
$\overline{D}$	จุดเสียแบบติดค้างที่-1 (s-a-1)

มหาวิทยาลัยเชียงใหม่ Chiang Mai University