บทที่ 1

บทนำ

1.1 ความนำ

จากการพัฒนาเทคโนโลยีด้านไมโครอิเล็กทรอนิกส์ทำให้สามารถผลิตอุปกรณ์อิเล็กทรอนิกส์ที่เป็นวงจรรวมขนาดใหญ่มากขึ้นมาเรียกว่า VLSI (Very Large Scale Integrated Circuit) ภายในวงจร VLSI ตัวเดียวสามารถบรรจุอุปกรณ์อิเล็กทรอนิกส์ไว้ได้เป็นจำนวนมาก ทำให้วงจรที่ผลิตขึ้นมามีสมรรถนะที่สูงขึ้นในขณะที่มีขนาดเล็กลง แต่เนื่องจากในกระบวนการผลิตอาจมีข้อบกพร่อง ทำให้วงจรที่ผลิตขึ้นมาบางตัวมีจุดเสียไม่สามารถทำงานได้หรือทำงานได้ไม่ครบตามฟังก์ชันที่ออกแบบไว้ ดังนั้นทางผู้ผลิตจะต้องมีวิธีการทดสอบที่สามารถแยกวงจรที่มีจุดเสียออกจากวงจรที่ดีได้ อย่างไรก็ตาม ถึงแม้ว่ากระบวนการทดสอบจะเป็นกระบวนการที่จำเป็นเพื่อให้มั่นใจว่าผลิตภัณฑ์ที่จำหน่ายออกสู่ท้องตลาดสามารถทำงานได้ครบตามฟังก์ชันที่ได้ออกแบบไว้ แต่ก็เป็นกระบวนการที่มีค่าใช้จ่ายสูง ซึ่งทำให้ต้นทุนการผลิตสูงขึ้นตามไปด้วย ดังนั้นทางผู้ผลิตจึงจำเป็นต้องหาวิธีการทดสอบที่มีประสิทธิภาพที่สูงขึ้นและมีค่าใช้จ่ายที่ถูกลง เพื่อที่จะทำให้ผลิตภัณฑ์สามารถแข่งขันในตลาดได้

1.2 ที่มาของปัญหา

การทดสอบวงจร VLSI เป็นเรื่องที่มีความยุ่งยากและซับซ้อนมาก เนื่องจากขนาดทางกายภาพที่เล็กมากของตัววงจรทำให้ไม่สามารถตรวจวัดหรือป้อนสัญญาณภายในตัววงจรได้โดยตรง ดังนั้นการทดสอบวงจรจึงใช้การป้อนรูปแบบสัญญาณทดสอบเข้าสู่ขั้วขาเข้าหลัก (Primary Input) แล้วจึงนำรูปแบบสัญญาณที่ได้รับจากขั้วขาออกหลัก (Primary Output) ไปเปรียบเทียบกับรูปแบบที่ควรได้รับจากวงจรที่ดี ถ้าตรงกันแสดงว่าวงจรที่นำมาทดสอบไม่มีจุดเสีย [2] อย่างไรก็ตามสิ่งที่ต้องคำนึงถึงก็คือวิธีการที่จะนำมาใช้ในการให้กำเนิดรูปแบบสัญญาณทดสอบเพื่อให้ครอบคลุมจุดเสียทั้งหมดที่อาจเกิดขึ้นได้ในวงจร เพราะถ้าเป็นวงจรที่มีขนาดใหญ่มากรูปแบบสัญญาณทดสอบที่เป็นไปได้ก็ยิ่งมีจำนวนมาก เช่น รูปแบบสัญญาณทดสอบสำหรับวงจร 20 ขั้วขาเข้าหลักหลัก มีได้ถึง 2^{20}= 1,048,576 รูปแบบ ซึ่งจะเห็นได้ว่าเป็นไปไม่ได้ในทางปฏิบัติที่จะใช้รูปแบบสัญญาณทดสอบทั้งหมดมาทำการทดสอบวงจร

วิธีการให้กำเนิดรูปแบบสัญญาณทดสอบสามารถแยกออกได้เป็น 2 วิธี คือวิธีการทางโครงสร้าง (Structural Method) วิธีการนี้จะสร้างรายการข่ายวงจร (Net List) เพื่อใช้เป็นตัวแทนของวงจร และใช้การสืบค้นเข้าไปในรายการข่ายวงจรเพื่อหารูปแบบสัญญาณทดสอบที่สามารถแพร่สัญญาณผลของจุดเสีย (Fault Effect) ให้ไปปรากฏที่ขั้วขาออกหลัก อีกวิธีการหนึ่งคือวิธีการทางพีชคณิต (Algeblaic Method) วิธีนี้ใช้การสร้างสมการทางพีชคณิตเพื่อเป็นตัวแทนทางตรรกของวงจรที่นำมาทดสอบจากนั้นจึงแก้ปัญหาในสมการเพื่อหารูปแบบสัญญาณทดสอบต่อไป

จากการศึกษางานวิจัยที่ผ่านมา พบว่าส่วนใหญ่มุ่งเน้นไปในวิธีการทางโครงสร้าง ในขณะที่วิธีการทางพีชคณิตกลับไม่เป็นที่นิยมและมีงานวิจัยด้านนี้น้อยมาก งานที่ถือได้ว่ามีประสิทธิภาพและประสบความสำเร็จโดยใช้วิธีการทางพีชคณิตคือ การสร้างรูปแบบสัญญาณทดสอบโดยใช้วิธีการบูลลีนแซททิสฟายอะบิลิตี้ ซึ่งเสนอโดย Tracy Larrabee [12] งานวิจัยชิ้นนี้ได้ประยุกต์ใช้วิธีการแซททิสฟายอะบิลิตี้ ซึ่งเป็นวิธีการค้นหารูปแบบการกำหนดค่าความจริง (Truth) ให้กับตัวแปรในบูลลีนเอ็กเพรสชัน (Boolean Expression) เพื่อให้ได้ผลลัพธ์ออกมามีค่าความจริงเป็นจริง (True) จากรายงานผลการทดสอบกับ ISCAS'85 Benchmark Circuits [6] พบว่าวิธีการนี้สามารถให้ค่าครอบคลุมจุดเสีย (Fault Coverage) ที่สูง แต่ก็ใช้เวลาในการทดสอบสูงเช่นเดียวกัน ส่วนหนึ่งเนื่องมาจากในกระบวนการยุบรวมจุดเสียใช้เพียงวิธีการยุบรวมจุดเสียที่สมมูลกัน (Test Equivalent Fault) [13] ทำให้มีจำนวนจุดเสียเข้าสู่กระบวนการทดสอบสูง จากปัญหาดังกล่าว งานวิจัยนี้จึงเสนอแนวทางการลดจำนวนจุดเสียที่จะเข้าสู่กระบวนการทดสอบ โดยใช้เทคนิคการเลือกตัวแทนของจุดเสีย [19] จากจุดเสียที่สมมูลกัน แล้วจึงยุบจุดเสียที่เลือกมาเข้าด้วยกันด้วยจุดเสียที่สมนัยกัน (Test Imply Fault) [22] พร้อมทั้งยังใช้การเรียนรู้วงจรเพื่อกำหนดค่าให้กับตัวแปรที่มีค่าตายตัวทำให้ลดจำนวนตัวแปรที่ต้องถูกกำหนดค่าลง นอกจากนี้ยังได้นำแบบจำลอง Iterative Combinational Circuits [18] เข้ามาใช้ เพื่อแปลงวงจรลำดับให้อยู่ในรูปวงจรประกอบ ซึ่งทำให้ประยุกต์ใช้วิธีการบูลลีนแซททิสฟายอะบิลิตี้เพื่อทดสอบวงจรลำดับได้ โดยผลการทดสอบกับวงจรประกอบมาตรฐาน ISCAS'85 Benchmark และวงจรลำดับมาตรฐาน ISCAS'89 Benchmark [5] จะถูกนำเสนอในงานวิจัยนี้

1.3 สรุปงานวิจัยและงานที่เกี่ยวข้อง

1.3.1 Sang-in, A (1994) ได้ทำงานวิจัยเกี่ยวกับกระบวนการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรดิจิตอลโดยมีเทคนิคใหม่ที่มีประสิทธิภาพ เช่น วิธีการเลือกตัวแทนจุดเสียจากรายการจุดเสียที่สมมูลกัน (Fault List) แล้วจึงยุบรวมจุดเสียที่เลือกมาเข้าด้วยกันโดยใช้เทคนิค

ของจุดเสียที่สมนัยกัน นอกจากนี้ยังมีหลักวิธีที่เรียกว่า Walking – D และ MOSAIC เพื่อใช้ทดสอบวงจรประกอบและวงจรลำดับ ตามลำดับ

1.3.2 Konuk, H. and Larrabee, T. (1993) ได้นำเสนอแนวทางในการใช้วิธี บูลลีนแซท-ทิสฟายอะบิลิตี้ สร้างสัญญาณทดสอบสำหรับวงจรลำดับโดยใช้แบบจำลอง Iterative Combinational Circuit เข้าช่วยในการเทียบจุดเสียจากวงจรลำดับเข้าสู่วงจรประกอบ

1.3.3 Larrabee, T. (1992) ได้เสนอวิธีการให้กำเนิดรูปแบบสัญญาณทดสอบสำหรับวงจรประกอบที่มีจุดเสียแบบติดค้างเดี่ยวและใช้อิมพลิเคชันกราฟเพื่อใช้ในการกำหนดค่าทางตรรกให้กับตัวแปร

1.3.4 Auth, E. and Schulz, M. H. (1991) ได้นำหลักวิธีที่ประสบความสำเร็จในการให้กำเนิดสัญญาญทดสอบสำหรับวงจรประกอบที่เรียกว่า SOCRATES [20] มาพัฒนาเพื่อให้สามารถทดสอบวงจรลำดับโดยมีขั้นตอนการเรียนรู้วงจรเพื่อเพิ่มความสัมพันธ์ทางตรรกให้กับตัวแปรระหว่างกรอบเวลา

1.4 วัตถุประสงค์และขอบเขตงานวิจัย

1.4.1 วัตถุประสงค์ของงานวิจัย

1) เพื่อพัฒนาและเพิ่มประสิทธิภาพโปรแกรมให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติให้มีขีดความสามารถในการทดสอบวงจรประกอบและวงจรลำดับโดยใช้วิธีบูลลีน-แซททิสฟายอะบิลิตี้ ร่วมกับกระบวนการที่ใช้ในการเรียนรู้วงจร

2) เพื่อหาหลักวิธีที่เหมาะสมทั้งในทางโครงสร้างและทางพีชคณิตนำมาประยุกต์ใช้ เพื่อเพิ่มประสิทธิภาพการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติ

1.4.2 ขอบเขตของการทำวิจัย

1) สร้างโปรแกรมให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติทั้งวงจรประกอบ และวงจรลำดับที่สามารถตั้งค่าเริ่มต้นได้ โดยใช้หลักวิธีบูลลีนแซททิสฟายอะบิลิตี้

2) สามารถยุบรวมจุดเสียที่สามารถใช้รูปแบบสัญญาณทดสอบชุดเดียวกันเข้าไว้เป็นกลุ่ม

3) มีขั้นตอนการเรียนรู้วงจรและวิเคราะห์วงจรเพื่อช่วยให้การกำหนดค่าให้กับตัวแปรทำได้รวดเร็วขึ้น

1.5 ประโยชน์ที่จะได้รับจากการศึกษา

1.5.1 โปรแกรม ATPG ที่สร้างขึ้นมาสามารถนำไปทดสอบวงจรดิจิตอลในอุตสาหกรรมการผลิตวงจรดิจิตอลได้

1.5.2 ผลจากการทดสอบทำให้รู้ตำแหน่งที่เกิดจุดเสียในวงจร ซึ่งสามารถนำข้อมูลมาวิเคราะห์ เพื่อหาสาเหตุ และนำไปปรับปรุงการผลิตในสายการผลิตต่อไป

1.5.3 นำปัญหาที่ได้รับจากการทดสอบ เช่นจุดเสียบางจุดไม่สามารถทดสอบได้มาเป็นข้อมูลในการวิจัยและพัฒนากระบวนการออกแบบผลิตภัณฑ์เพื่อแก้ปัญหาที่เกิดขึ้น

1.5.4 เพื่อประโยชน์ในทางอุตสาหกรรม การศึกษาและวิจัยต่อไป

มหาวิทยาลัยเชียงใหม่ Chiang Mai University