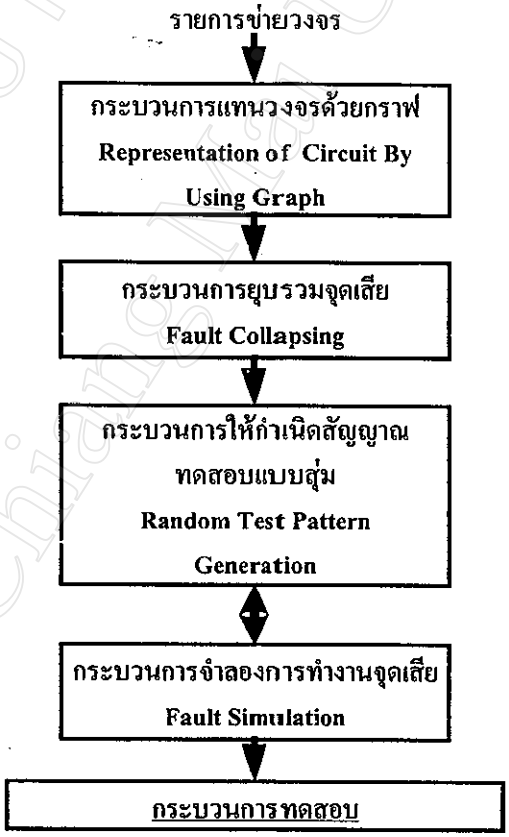
บทที่ 3

ขั้นตอนก่อนการทดสอบ

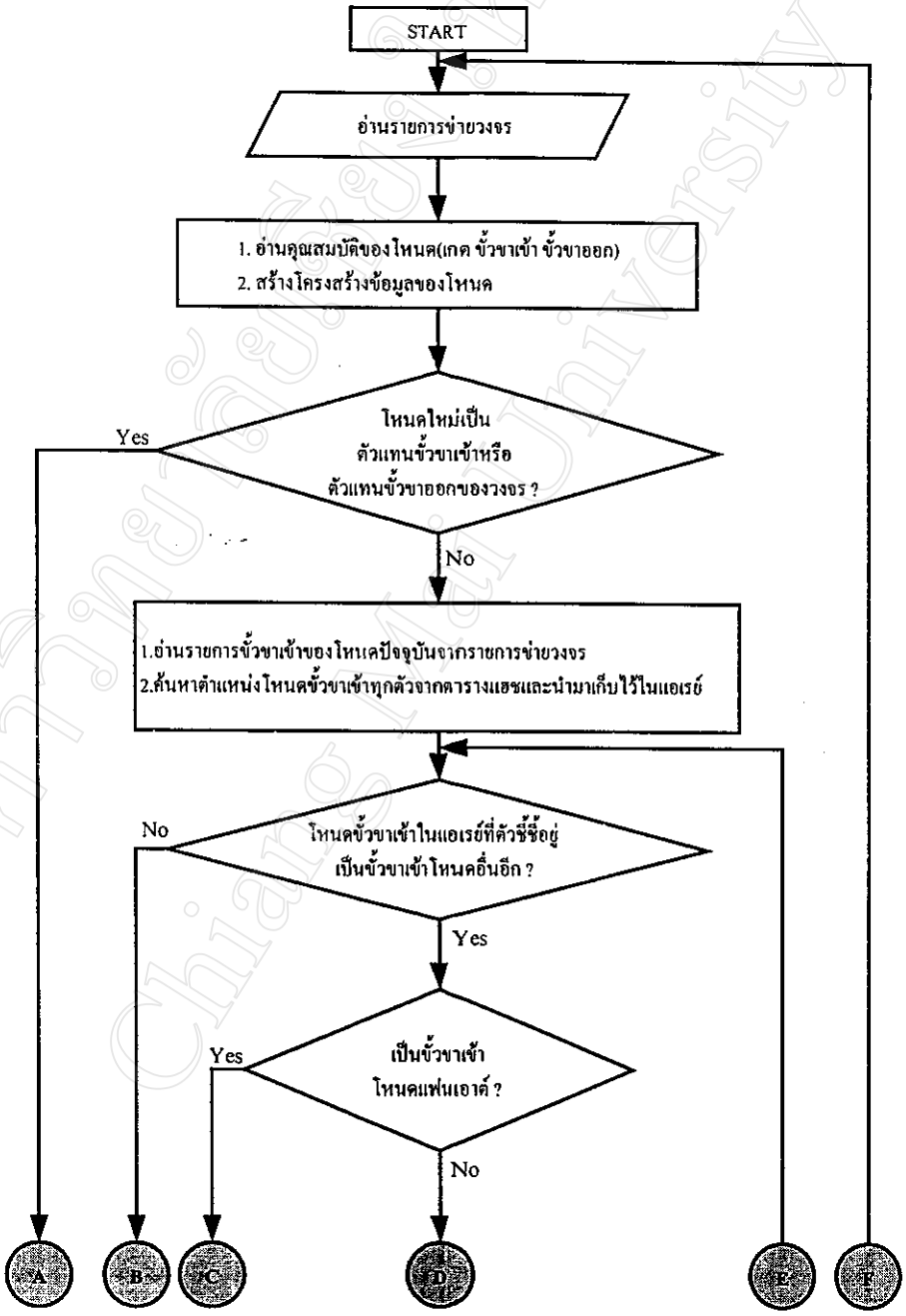
ขั้นตอนก่อนการทดสอบ (Preprocessing Phase) เป็นกระบวนการที่เกิดขึ้นก่อนที่จะเข้าสู่กระบวนการทดสอบ โดยมีกระบวนการที่สำคัญคือ กระบวนการแทนวงจรด้วยกราฟ (Representation of Circuit By Using Graph) กระบวนการยุบรวมจุดเสีย (Fault Collapsing) กระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม (Random Test Pattern Generation) และกระบวนการจำลองการทำงานจุดเสีย (Fault Simulation) โดยความสัมพันธ์ของแต่ละกระบวนการภายในกระบวนการก่อนการทดสอบแสดงดังรูปที่ 3.1



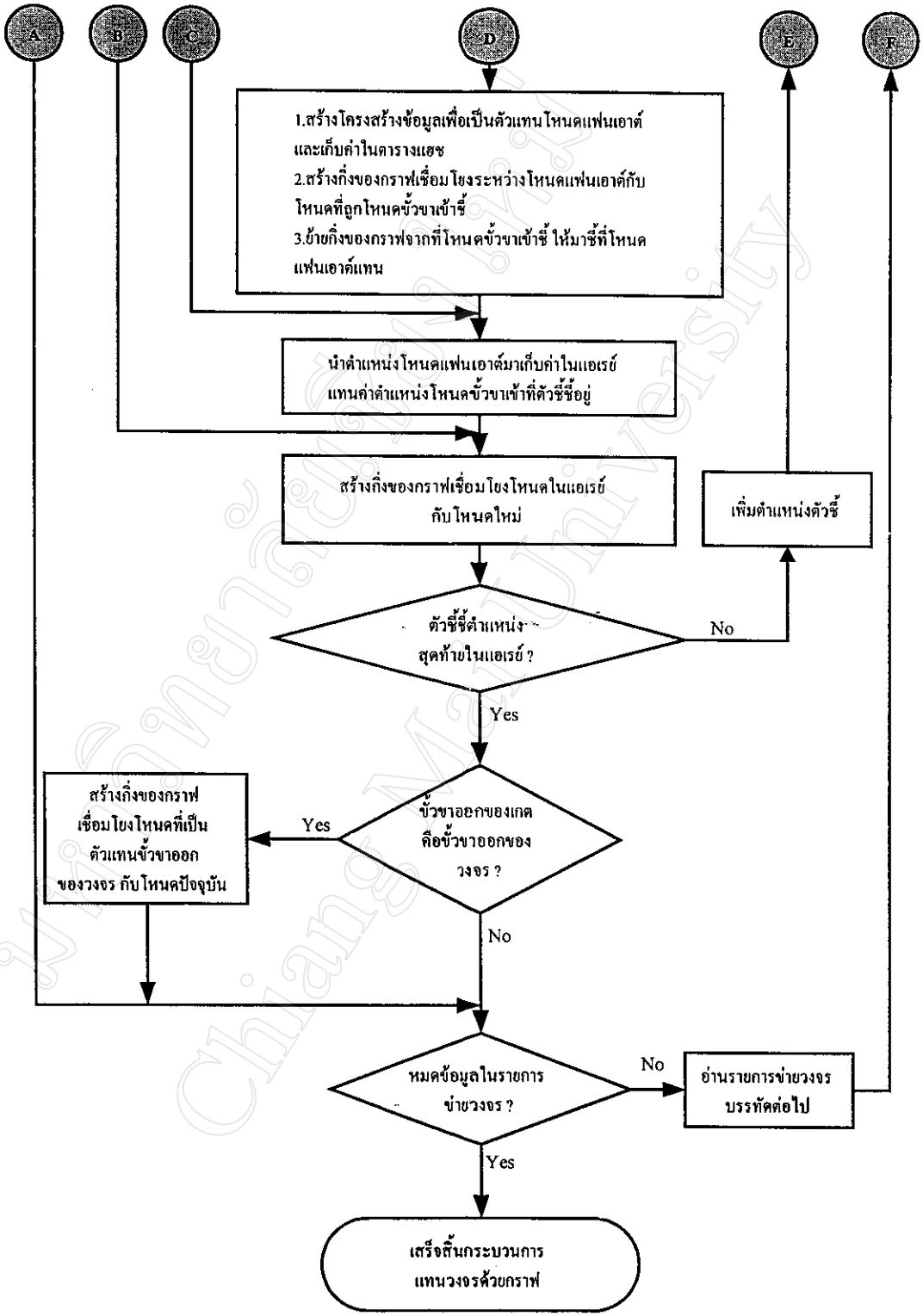
รูปที่ 3.1 กระบวนการภายในขั้นตอนก่อนการทดสอบ

3.1 กระบวนการแทนวงจรด้วยกราฟ (Representation of Circuit By Using Graph)

กระบวนการนี้เป็นกระบวนการแปลงรายการข่ายวงจร (Net List) ให้เข้าสู่ในรูปแบบของ DAG (Directed Acyclic Graph) ตามข้อกำหนดในหัวข้อ 2.6.1 โดยมีผังการทำงานดังรูปที่ 3.2



รูปที่ 3.2 ผังการทำงานกระบวนการแทนวงจรด้วยกราฟ

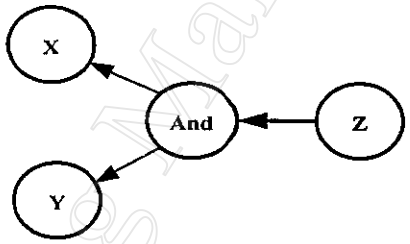

A
B
C
D
E
F
1.สร้างโครงสร้างข้อมูลเพื่อเป็นตัวแทนโหนดแฟนเอาต์ และเก็บค่าในตารางแฮช
2.สร้างกิ่งของกราฟเชื่อมโยงระหว่างโหนดแฟนเอาต์กับโหนดที่ถูกโหนดขั้วขาเข้าชี้
3.ย้ายกิ่งของกราฟจากที่โหนดขั้วขาเข้าชี้ ให้มาชี้ที่โหนดแฟนเอาต์แทน
นำตำแหน่งโหนดแฟนเอาต์มาเก็บค่าในแอเรย์แทนค่าตำแหน่งโหนดขั้วขาเข้าที่ตัวชี้ชี้อยู่
สร้างกิ่งของกราฟเชื่อมโยงโหนดในแอเรย์กับโหนดใหม่
เพิ่มตำแหน่งตัวชี้
ตัวชี้ชี้ตำแหน่งสุดท้ายในแอเรย์ ?
No
Yes
ขั้วขาออกของเกตคือขั้วขาออกของวงจร ?
Yes
สร้างกิ่งของกราฟเชื่อมโยงโหนดที่เป็นตัวแทนขั้วขาออกของวงจร กับโหนดปัจจุบัน
No
หมดข้อมูลในรายการข่ายวงจร ?
No
อ่านรายการข่ายวงจรบรรทัดต่อไป
Yes
เสร็จสิ้นกระบวนการแทนวงจรด้วยกราฟ

รูปที่ 3.2 (ต่อ)

ตัวอย่างวงจรที่มีแอนด์เกต 1 ตัว มีขั้วขาเข้า X, Y ขั้วขาออก Z มีรูปแบบรายการข่ายวงจรดังต่อไปนี้

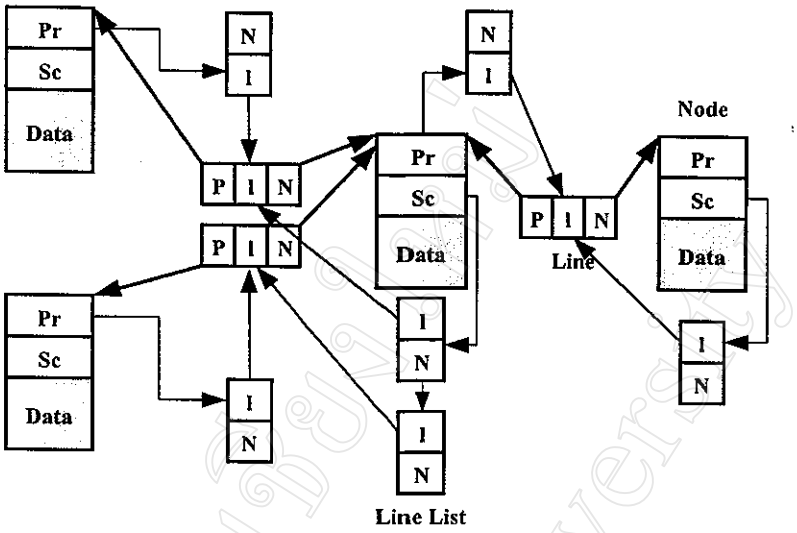
```
module
and(Z,X,Y);
//no. of AND:    1
input X;
input Y;
output Z;
and  #sgd  and(Z,X,Y);
endmodule
```

จากรายการข่ายวงจรนี้ สามารถนำมาสร้างเป็นกราฟเพื่อเป็นตัวแทนวงจรจากรายการข่ายวงจรได้ดังรูปที่ 3.3

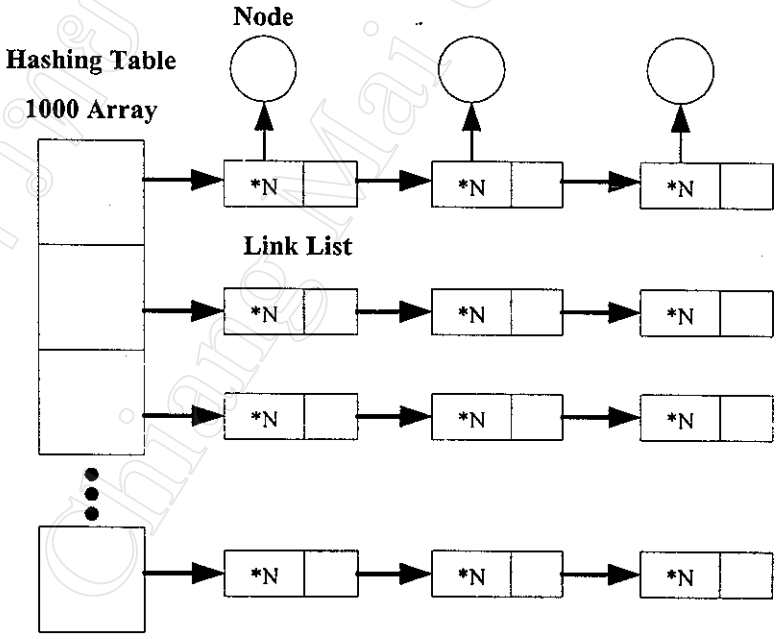


รูปที่ 3.3 กราฟที่ใช้แทนวงจรเกตแบบแอนด์

และจากกราฟรูปที่ 3.3 สามารถแทนด้วยโครงสร้างของข้อมูล ซึ่งประกอบไปด้วย โครงสร้างข้อมูลแบบรายการเดี่ยว (Single Link List) และ ตารางแฮช (Hash Table) ที่มีการเชื่อมโยงแบบลูกโซ่ (Chaining) [21] โดยมีการเชื่อมโยงกัน ดังรูปที่ 3.4 และ 3.5



รูปที่ 3.4 โครงสร้างข้อมูลของกราฟ



รูปที่ 3.5 การเชื่อมโยงระหว่างตารางแฮชกับโครงสร้างของโหนด

จากรูปที่ 3.4 และ 3.5 โครงสร้างข้อมูลของกราฟประกอบไปด้วยโครงสร้างของโหนด โครงสร้างของเส้นวงจร และ โครงสร้างของรายการเส้นวงจร (Line List) โดยที่ตำแหน่งของโหนด จะถูกเก็บในตารางแฮช ซึ่งมีรายละเอียดภายในดังนี้

3.1.1 โครงสร้างข้อมูลของโหนด ประกอบไปด้วย

1) ส่วนของ Data ซึ่งเป็นที่เก็บข้อมูลเกี่ยวกับโหนด เช่น ชื่อของโหนด ชนิดของโหนด เป็นต้น

2) ส่วนของ Pr ซึ่งเป็นตัวชี้ (Pointer) ที่ชี้ไปยังรายการเส้นวงจร ซึ่งบอกถึงตำแหน่งเส้นวงจรที่ชี้ไปยังโหนดก่อนหน้า (Previous Node)

3) ส่วนของ Sc ซึ่งเป็นตัวชี้ (Pointer) ที่ชี้ไปยังรายการเส้นวงจร ซึ่งบอกถึงตำแหน่งเส้นวงจรที่ชี้ไปยังโหนดต่อไป (Next Node)

3.1.2 โครงสร้างข้อมูลของเส้นวงจรประกอบไปด้วย

1) ส่วนของ P ซึ่งเป็นตัวชี้ที่ชี้ไปยังตำแหน่งของโหนด ก่อนหน้า

2) ส่วนของ I ซึ่งเป็นส่วนที่ใช้เก็บข้อมูลของเส้นวงจรเช่น ชื่อของเส้นวงจร

3) ส่วนของ N ซึ่งเป็นตัวชี้ ที่ชี้ไปยังไปยังตำแหน่งของโหนด โหนดต่อไป

3.1.3 โครงสร้างข้อมูลของรายการเส้นวงจร มีลักษณะเป็นแบบโครงสร้างข้อมูลแบบรายการเดี่ยวซึ่งประกอบไปด้วย

1) ส่วนของ I ซึ่งเป็นตัวชี้ ที่ชี้ไปยังตำแหน่งของเส้นวงจร

2) ส่วนของ N ซึ่งเป็นตัวชี้ ที่ชี้ไปยังข้อมูลรายการต่อไป

3.1.4 ตารางแฮช จำนวน 1000 ช่อง ซึ่งทำหน้าที่ในการเก็บข้อมูลตำแหน่งของโหนด โดยตำแหน่งของโหนดในตารางจะเป็นค่าที่ได้รับจากแฮชชิ่งฟังก์ชัน และมีชื่อโหนดเป็นคีย์ (Key) กรณีที่ตำแหน่งในตารางแฮชชิ่งเกิดการชนกัน (Collision) จะใช้วิธีการแบบลูกโซ่ (Chaining) ในการเชื่อมโยงข้อมูล

3.2 กระบวนการยุบรวมจุดเสีย (Fault Collapsing)

กระบวนการยุบรวมจุดเสียเป็นกระบวนการที่ช่วยลดจำนวนจุดเสียก่อนที่จะเข้าสู่กระบวนการทดสอบ โดยยุบรวมจุดเสียที่สามารถใช้รูปแบบสัญญาณทดสอบเดียวกันเข้าไว้ด้วยกันเป็นกลุ่มๆ (Fault Class) และในแต่ละกลุ่มจะมีการเลือกตัวแทนจุดเสียเพียงจุดเดียวเพื่อส่งเข้าสู่กระบวนการทดสอบ ซึ่งทำให้ลดจำนวนจุดเสียที่จะเข้าสู่กระบวนการทดสอบ เป็นผลให้ใช้เวลาในการหารูปแบบสัญญาณทดสอบโดยรวมน้อยลง วิธีการยุบรวมจุดเสียที่นำมาใช้อาศัยหลักวิธี (Algorithm) ที่สำคัญดังนี้ คือ

จุดเสียที่สมมูลกัน[13]: จุดเสีย 2 จุด F1 และ F2 จะสมมูลกันก็ต่อเมื่อไม่สามารถแยกความแตกต่างของรูปแบบสัญญาณที่ออกสู่ขั้วขาออกได้ โดยการป้อนรูปแบบสัญญาณทดสอบใดๆที่

ขั้วขาเข้า หรืออีกนัยหนึ่ง สามารถกล่าวได้ว่าจุดเสีย F1 และ F2 จะสมมูลกัน ถ้าทุกๆรูปแบบสัญญาณทดสอบที่สามารถตรวจพบจุดเสีย F1 สามารถตรวจพบจุดเสีย F2 และเป็นในทางกลับกัน สัญลักษณ์คือ F1<->F2 ตัวอย่างเช่นแสดงดังตารางที่ 3.1

ตารางที่ 3.1 ตารางค่าความจริงของเกตแบบแอนด์ ขั้วขาเข้า A, B ขั้วขาออก C มีจุดเสียที่ A/0, A/1, C/0, C/1

A	B	C	C (A/0)	C (A/1)	C (C/0)	C (C/1)
1	1	1	0	1	0	1
1	0	0	0	0	0	1
0	1	0	0	1	0	1
0	0	0	0	0	0	1

จากตารางที่ 3.1 จะเห็นได้ว่าทั้ง A/0 (อ่านว่า A stuck-at 0) และ C/0 มีรูปแบบสัญญาณทดสอบเดียวคือ {A,B}={1,1} ที่ทำให้ขั้วขาออกเห็นความแตกต่างระหว่างวงจรที่ดีกับวงจรที่เสีย ดังนั้น A/0<->C/0

จุดเสียที่สมนัยกัน[22]: จุดเสีย 2 จุด F1 และ F2 จะสมนัยกันถ้าทุกๆ รูปแบบสัญญาณทดสอบที่สามารถตรวจพบจุดเสีย F1 สามารถตรวจพบจุดเสีย F2 แต่ไม่เป็นในทิศทางกลับกัน สัญลักษณ์คือ F1->F2 ตัวอย่าง เกตแบบแอนด์ มีขั้วขาเข้า A, B ขั้วขาออก C มีจุดเสีย A/1 ,C/1 จากตารางที่ 3.1 จะเห็นได้ว่า A/1 มีรูปแบบสัญญาณทดสอบคือ {0,1} ในขณะที่ C/1 มี รูปแบบสัญญาณทดสอบคือ {0,1}, {1,0}, {0,0} ดังนั้น A/1->C/1

หลักวิธีการเลือกตัวแทนจุดเสีย [19]: วิธีการนี้จะเลือกตัวแทนของจุดเสียจากกลุ่มของจุดเสียที่สมมูลกันโดยเลือกจุดเสียที่อยู่ใกล้ขั้วขาออกที่สุดเพื่อนำมายุบรวมกันอีกครั้งหนึ่งโดยใช้หลักวิธีจุดเสียที่สมนัยกัน

ตารางที่ 3.2 กลุ่มของจุดเสียที่สมมูลกันของเกตมาตรฐาน

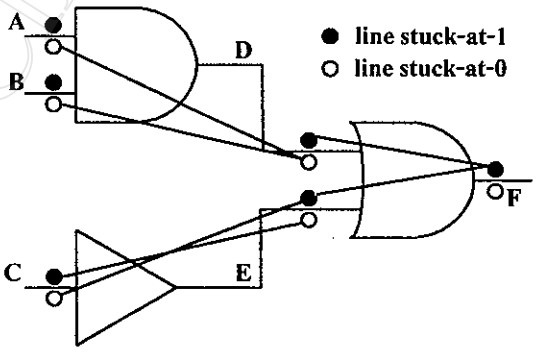
เกต	ขั้วขาเข้า		ขั้วขาออก	ผลการยุบรวมจุดเสียที่สมมูลกัน
AND	A	B	C	{A/0,B/0,C/0}, {A/1}, {B/1}, {C/1}
NAND	A	B	C	{A/0,B/0,C/1}, {A/1}, {B/1}, {C/0}
OR	A	B	C	{A/1,B/1,C/1}, {A/0}, {B/0}, {C/0}
NOR	A	B	C	{A/1,B/1,C/0}, {A/0}, {B/0}, {C/1}
NOT	A		C	{A/0,C/1}, {A/1,C/0}

ตารางที่ 3.3 จุดเสียที่สมนัยกันของเกตมาตรฐาน

เกต	ขั้วขาเข้า		ขั้วขาออก	จุดเสียที่สมนัยกัน
AND	A	B	C	A/1->C/1, B/1->C/1
NAND	A	B	C	A/1->C/0, B/1->C/0
OR	A	B	C	A/0->C/0, B/0->C/0
NOR	A	B	C	A/0->C/1, B/0->C/1

3.2.1 ขั้นตอนการยุบรวมจุดเสียมีลำดับดังนี้

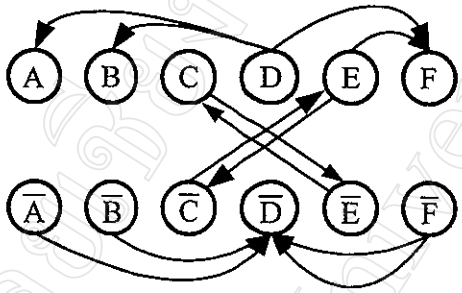
1) สร้างสูตรเพื่อเป็นตัวแทนทางตรรกของวงจรที่นำมาทดสอบ ตัวอย่างวงจรรูปที่ 3.6 สามารถสร้างสูตร CNF ได้ดังสูตรที่ 10



รูปที่ 3.6 การยุบรวมจุดเสียที่สมมูลกันในวงจรอย่างง่าย

$$(F+\overline{D})\cdot(F+\overline{E})\cdot(\overline{F}+D+E)\cdot(\overline{D}+A)\cdot$$
$$(\overline{D}+B)\cdot(D+\overline{A}+\overline{B})\cdot(C+E)\cdot(\overline{C}+\overline{E}) \quad (10)$$

2) สร้างอิมพลิเคชันกราฟจากสูตรซึ่งเป็นตัวแทนของวงจรที่นำมาทดสอบ ตัวอย่างสูตรที่ 10 นำมาสร้างอิมพลิเคชันกราฟได้ดังรูปที่ 3.7



รูปที่ 3.7 อิมพลิเคชันกราฟของวงจรอย่างง่าย

3) เป็นขั้นตอนการกำหนดค่าให้กับตัวแปรเพื่อหาจุดเสียที่สมมูลกันในวงจร โดยอาศัยอิมพลิเคชันกราฟที่สร้างขึ้นมาเป็นตัวกำหนดค่าทางตรรกให้กับตัวแปรต่างๆ (รายละเอียดการกำหนดค่าให้กับตัวแปรโดยอาศัยอิมพลิเคชันกราฟจะแสดงในบทที่ 4) เช่นถ้า A/0 จะกำหนดค่าให้ A=0 แล้วใช้ อิมพิเคชันกราฟ กำหนดค่าให้กับตัวแปรอื่นที่มีความสัมพันธ์กับตัวแปร A เมื่อตัวแปร A มีค่าเป็นศูนย์ การกำหนดค่าจะทำกับตัวแปรทุกตัว โดยกำหนดค่าให้กับตัวแปรที่กำลังพิจารณาให้มีค่าเป็น 0 และ 1 ยกเว้นตัวแปรใดๆ ที่มีค่าใดค่าหนึ่งแล้วอันเนื่องมาจากมีความสัมพันธ์กับตัวแปรอื่นที่ถูกกำหนดค่าจึงจะข้ามการกำหนดค่าให้กับตัวแปรนั้น ในขั้นตอนการกำหนดค่าเพื่อหาจุดเสียที่สมมูลกันนี้มีเงื่อนไขการกำหนดค่าคือจะไม่ใช้ความสัมพันธ์ทางตรรกจากอิมพลิเคชันกราฟเพื่อกำหนดค่าข้ามจุดแยกในวงจร และไม่มีการกำหนดค่าย้อนกลับจากขั้วขาออกไปหาขั้วขาเข้าของเกต (กำหนดค่าให้กับตัวแปรและแพร่ผลออกสู่ขั้วขาออกทิศทางเดียว) ตัวอย่างการกำหนดค่าเพื่อหาจุดเสียที่สมมูลกัน แสดงดังตารางที่ 3.4

ตารางที่ 3.4 ลำดับการกำหนดค่าและการจัดกลุ่มตัวแปรที่สมมูลกัน

ลำดับที่	กำหนดค่าตัวแปร	ค่าทางตรรกของตัวแปรที่เกิดขึ้นเนื่องจากการกำหนดค่า						จัดกลุ่มจุดเสียที่สมมูลกัน
		A	B	C	D	E	F	
1	A=0	0			0			{A/0,D/0}
2	A=1	1						{A/1}
3	B=0		0		0			{B/0,D/0}
4	B=1		1					{B/1}
5	C=0			0		1	1	{C/0,E/1,F/1}
6	C=1			1		0		{C/1,E/0}
ข้าม	D=0							
7	D=1				1		1	{D/1,F/1}
ข้าม	E=0							
ข้าม	E=1							
8	F=0						0	{F/0}
ข้าม	F=1							

จากตารางที่ 3.4 ยุบรวมกลุ่มของจุดเสียที่สมาชิกภายในกลุ่มมีค่าเดียวกัน (แรเงาในตาราง) ผลการกำหนดค่าให้กับตัวแปรในขั้นตอนนี้ทำให้สามารถจัดกลุ่มจุดเสียที่สมมูลกันได้ดังต่อไปนี้

กลุ่มที่ 1 {A/0,B/0,D/0}
กลุ่มที่ 2 {A/1}
กลุ่มที่ 3 {B/1}
กลุ่มที่ 4 {C/0,E/1,D/1,F/1}
กลุ่มที่ 5 {C/1,E/0}
กลุ่มที่ 6 {F/0}

4) เลือกตัวแทนจุดเสียจากแต่ละกลุ่มโดยเลือกตัวที่อยู่ใกล้ขั้วขาออกมากที่สุด [19] ดังนี้

กลุ่มที่ 1 เลือก D/0 เป็นตัวแทนของ {A/0,B/0,D/0}
กลุ่มที่ 2 เลือก A/1 เป็นตัวแทนของ {A/1}
กลุ่มที่ 3 เลือก B/1 เป็นตัวแทนของ {B/1}
กลุ่มที่ 4 เลือก F/1 เป็นตัวแทนของ {C/0,E/1,D/1,F/1}
กลุ่มที่ 5 เลือก E/0 เป็นตัวแทนของ {C/1,E/0}
กลุ่มที่ 6 เลือก F/0 เป็นตัวแทนของ {F/0}

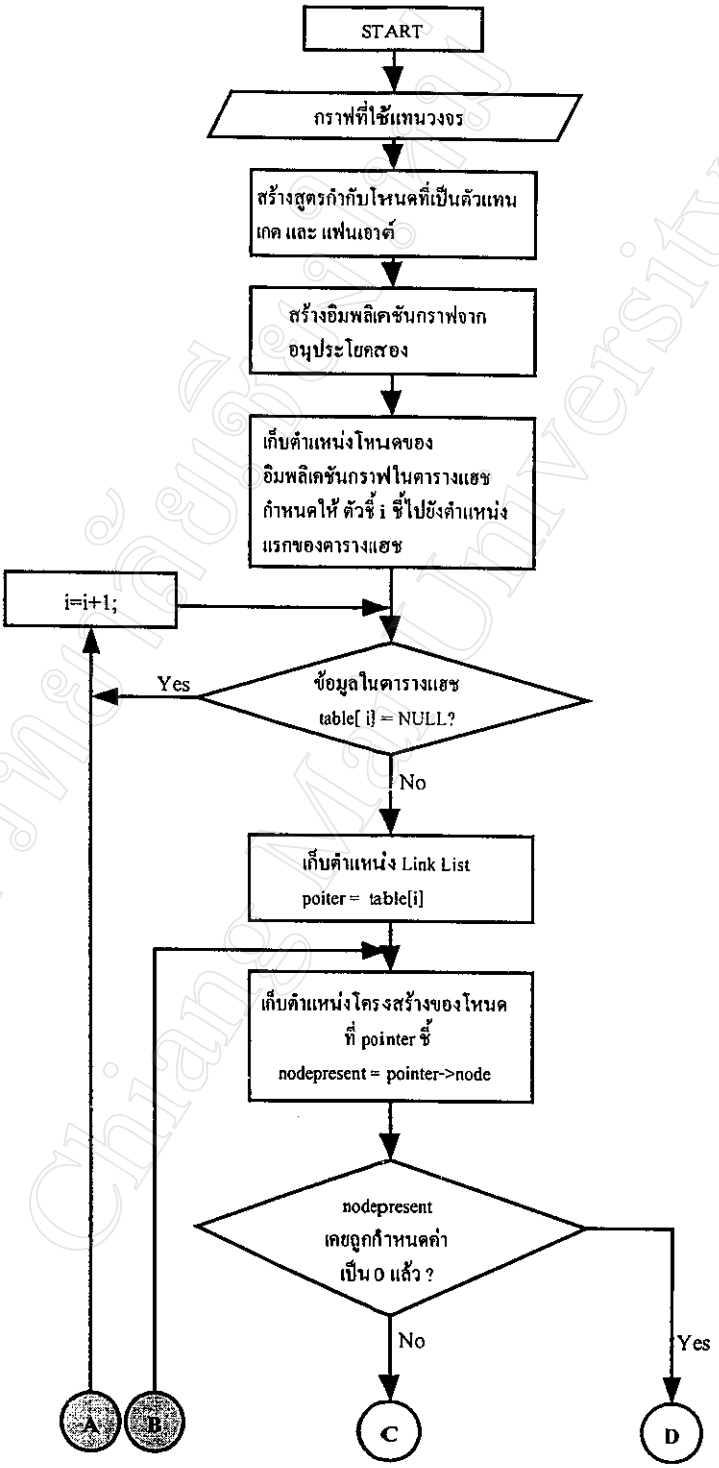
5) จากตัวแทนจุดเสียที่เลือกมา นำไปทดสอบหาจุดเสียที่สมนัยกันตามตารางที่ 3.3 จะได้

A/1 -> D/1 ซึ่งอยู่ในกลุ่มของ {C/0,E/1,D/1,F/1}
B/1 -> D/1 ซึ่งอยู่ในกลุ่มของ {C/0,E/1,D/1,F/1}
D/0 -> F/0 ซึ่งอยู่ในกลุ่มของ {F/0}
E/0 -> F/0 ซึ่งอยู่ในกลุ่มของ {F/0}

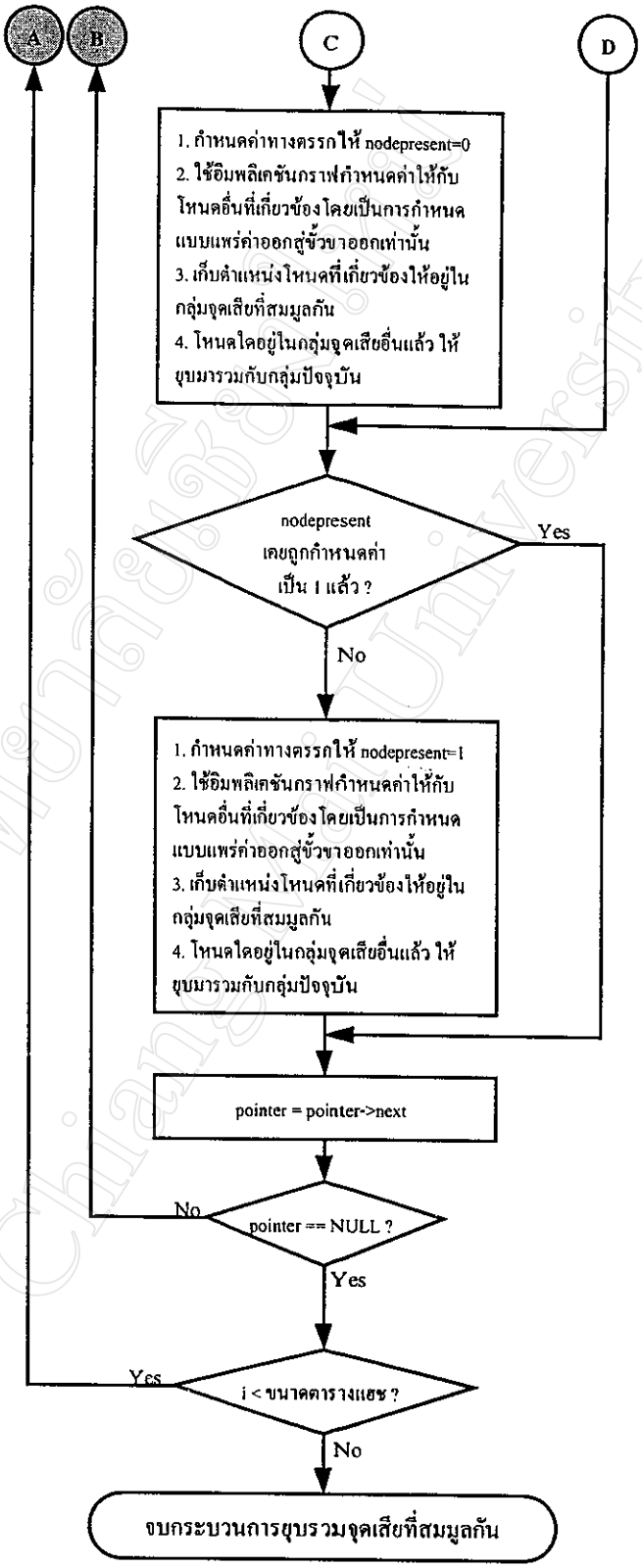
จากกระบวนการยุบรวมจุดเสียทั้ง 5 ขั้นตอน ทำให้สามารถยุบรวมจุดเสียที่เป็นไปได้ทั้งหมด 12 จุดเสีย เหลือเพียง 4 จุดเสียดังต่อไปนี้

A/1 เป็นตัวแทนของ {A/1} และ {C/0,E/1,D/1,F/1}
B/1 เป็นตัวแทนของ {B/1} และ {C/0,E/1,D/1,F/1}
D/0 เป็นตัวแทนของ {A/0,B/0,D/0} และ {F/0}
E/0 เป็นตัวแทนของ {C/1,E/0} และ {F/0}

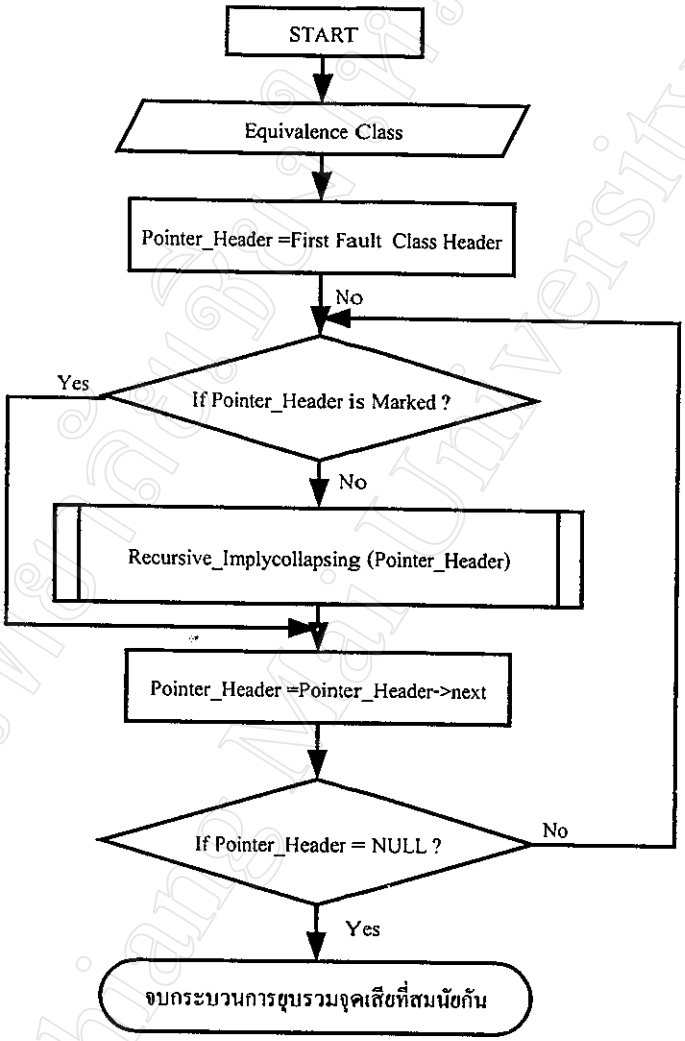
จะเห็นได้ว่ากระบวนการยุบรวมจุดเสียมีส่วนช่วยลดจำนวนจุดเสียก่อนที่จะส่งผ่านเข้าสู่กระบวนการทดสอบ โดยจุดเสียที่เหลือจะถูกนำเข้าไปเก็บไว้ในรายการจุดเสีย (Fault List) เพื่อส่งเข้าสู่กระบวนการให้กำเนิดสัญญาณทดสอบต่อไป ผังการทำงานของกระบวนการยุบรวมจุดเสียได้ถูกแสดงในรูปที่ 3.8 3.9 และ 3.10 ผลการทดสอบการยุบรวมจุดเสียกับวงจร ISCAS'85 Benchmark จะถูกนำเสนอในบทที่ 5



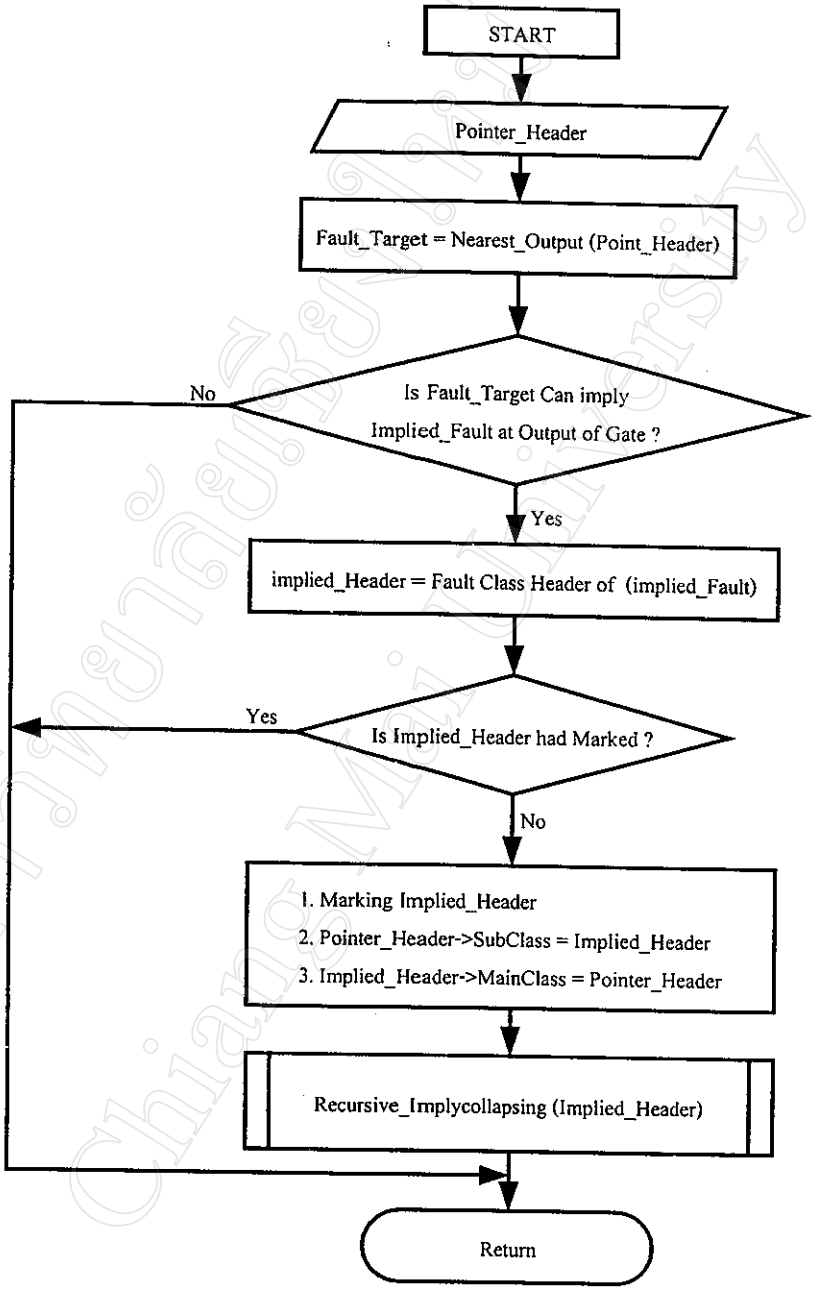
รูปที่ 3.8 ผังการทำงานการขุบรวมจุดเสียที่สมมูลกัน


A
B
C
D
1. กำหนดค่าทางตรรกให้ nodepresent=0
2. ใช้อิมพลิเคชันกราฟกำหนดค่าให้กับโหนดอื่นที่เกี่ยวข้องโดยเป็นการกำหนดแบบแพร่ค่าออกสู่ขั้วขาออกเท่านั้น
3. เก็บตำแหน่งโหนดที่เกี่ยวข้องให้อยู่ในกลุ่มจุดเสียที่สมมูลกัน
4. โหนดใดอยู่ในกลุ่มจุดเสียอื่นแล้ว ให้ยุบมารวมกับกลุ่มปัจจุบัน
nodepresent เคยถูกกำหนดค่าเป็น 1 แล้ว ?
Yes
No
1. กำหนดค่าทางตรรกให้ nodepresent=1
2. ใช้อิมพลิเคชันกราฟกำหนดค่าให้กับโหนดอื่นที่เกี่ยวข้องโดยเป็นการกำหนดแบบแพร่ค่าออกสู่ขั้วขาออกเท่านั้น
3. เก็บตำแหน่งโหนดที่เกี่ยวข้องให้อยู่ในกลุ่มจุดเสียที่สมมูลกัน
4. โหนดใดอยู่ในกลุ่มจุดเสียอื่นแล้ว ให้ยุบมารวมกับกลุ่มปัจจุบัน
pointer = pointer->next
No
pointer == NULL ?
Yes
Yes
i < ขนาดตารางแฮช ?
No
จบกระบวนการยุบรวมจุดเสียที่สมมูลกัน

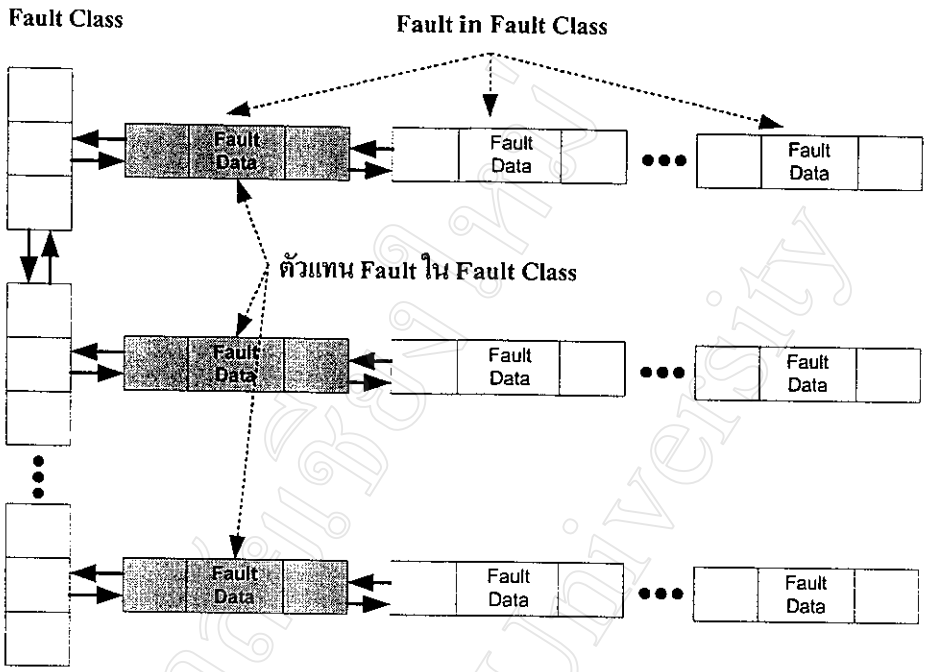
รูปที่ 3.8 (ต่อ)



รูปที่ 3.9 ผังการทำงานกระบวนการยุบรวมจุดเสียที่สมนัยกัน



รูปที่ 3.10 ผังการทำงานฟังก์ชัน Recursive_Implycollapsing

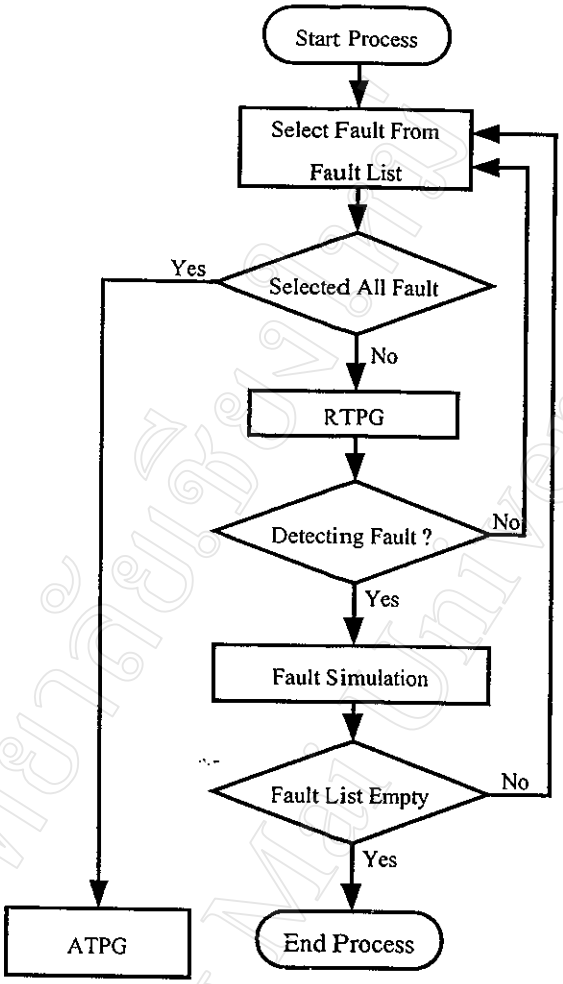


รูปที่ 3.11 โครงสร้างการยุบรวมจุดเสีย

รูปที่ 3.12 โครงสร้างรายการจุดเสีย

3.3 กระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม และ กระบวนการจำลองการทำงานจุดเสีย (Random Test Pattern Generation and Fault Simulation)

กระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่มเป็นกระบวนการที่ใช้หารูปแบบสัญญาณทดสอบให้กับจุดเสียที่ง่ายแก่การทดสอบ โดยมีกระบวนการจำลองการทำงานจุดเสีย ทำหน้าที่ตรวจสอบว่ารูปแบบสัญญาณทดสอบที่ให้กำเนิดมานั้นสามารถทดสอบจุดเสียอื่นๆ ในวงจรอีกหรือไม่ โดยมีผังการทำงานภายในดังรูปที่ 3.13



รูปที่ 3.13 ผังการทำงานกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม
และ กระบวนการจำลองการทำงานจุดเสีย

จากรูปที่ 3.13 การทำงานเริ่มต้นจากการนำจุดเสียจากรายการจุดเสียส่งผ่านเข้าสู่กระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม RTPG จากกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม ถ้าไม่สามารถทดสอบจุดเสียที่กำลังพิจารณาก็จะไปนำจุดเสียจากรายการจุดเสียตัวต่อไปเข้ามาทดสอบใหม่ แต่ถ้าสามารถหารูปแบบสัญญาณทดสอบให้กับจุดเสียที่กำลังพิจารณาได้ ก็จะนำจุดเสียนั้นออกจากรายการจุดเสีย และส่งรูปแบบสัญญาณทดสอบที่ได้รับให้กับกระบวนการจำลองการทำงานจุดเสีย กระบวนการจำลองการทำงานจุดเสียจะนำรูปแบบสัญญาณทดสอบที่ได้รับไปทดสอบจุดเสียที่เหลืออยู่ในรายการจุดเสีย ถ้าจุดเสียใดถูกทดสอบได้จุดเสียนั้นจะถูกนำ

ออกจากรายการจุดเสีย กระบวนการจำลองการทำงานจุดเสียจะทำการทดสอบจุดเสียในรายการจุดเสียจนกว่าจะไม่มีจุดเสียในรายการจุดเสียหรือไม่สามารถทดสอบจุดเสียเพิ่มเติม กรณีที่ไม่มีจุดเสียในรายการจุดเสียกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่มและกระบวนการจำลองการทำงานจุดเสียจะสิ้นสุดลง แต่ถ้าเป็นกรณีที่ไม่สามารถทดสอบจุดเสียเพิ่มเติมกระบวนการจำลองการทำงานจุดเสียจะสิ้นสุดลงและไปเรียกกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่มมาทดสอบจุดเสียต่อไป ถ้าจุดเสียทุกตัวที่เหลืออยู่เคยผ่านการทดสอบด้วยกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่มแล้วกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่มจะหยุดการทำงานและส่งจุดเสียทั้งหมดในรายการจุดเสียให้กับกระบวนการให้กำเนิดสัญญาณทดสอบโดยอัตโนมัติต่อไป

3.3.1 วิธีการให้กำเนิดสัญญาณทดสอบแบบสุ่ม

หลักวิธีที่นำมาใช้ในการให้กำเนิดสัญญาณทดสอบแบบสุ่มเพื่อทดสอบจุดเสียที่ง่ายแก่การทดสอบ อาศัยหลักวิธี PPSFP (Parallel Pattern Single Fault Propagation) [23] ซึ่งเป็นวิธีการสุ่มป้อนรูปแบบสัญญาณทดสอบมากกว่าหนึ่งรูปแบบในรูปของแอเรย์ (Array) ของคำ (Words) เข้าสู่ทุกๆขั้วขาเข้าของวงจรพร้อมทั้งแพร่ค่าออกสู่ขั้วขาออกของวงจรโดยใช้บิตไวส์ (Bitwise) เป็นโอเปอเรเตอร์ (สัญลักษณ์และการทำงานการทำงานของโอเปอเรเตอร์แสดงในตารางที่ 3.5 และ 3.6) ต่อจากนั้นจึงแพร่ค่าผลของจุดเสียออกสู่ขั้วขาออกครั้งละ 1 จุดเสียพร้อมทั้งเปรียบเทียบผลที่ออกสู่ขั้วขาออกกับวงจรที่ดี

ตารางที่ 3.5 สัญลักษณ์ของโอเปอเรเตอร์ที่ใช้แทนเกต

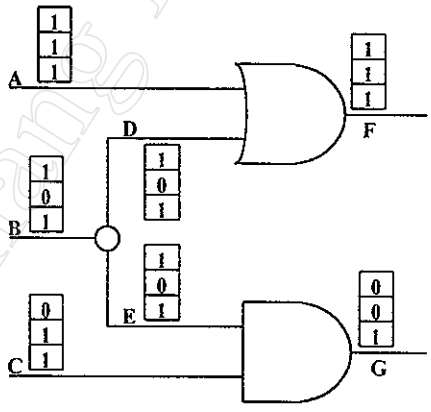
เกต	สัญลักษณ์ของโอเปอเรเตอร์
AND	&
OR	|
XOR	^
NOT	~

ตารางที่ 3.6 การทำงานของโอเปอเรเตอร์

เกต	ขั้วขาเข้า		Operation	ขั้วขาออก
AND	[1100]	[1010]	[1100] & [1010]	[1000]
NAND	[1100]	[1010]	~([1100] & [1010])	[0111]
OR	[1100]	[1010]	[1100] | [1010]	[1110]
NOR	[1100]	[1010]	~([1100] | [1010])	[0001]
XOR	[1100]	[1010]	[1100] ^ [1010]	[0110]
NOT	[1100]		~([1100])	[0011]

ขั้นตอนการทำงานของกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่มมีดังนี้

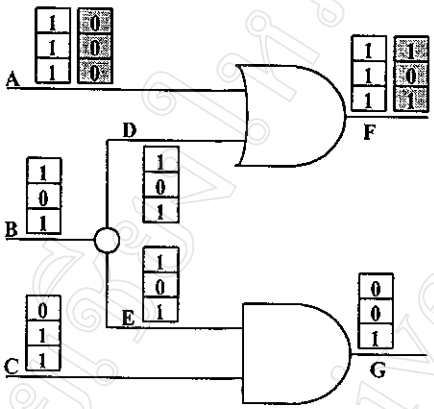
1) สุ่มป้อนรูปแบบสัญญาณทดสอบพร้อมทั้งแพร่ค่าออกสู่ขั้วขาออกเพื่อเป็นตัวแทนของวงจรที่ดี ตัวอย่างการสุ่มป้อนรูปแบบสัญญาณทดสอบซึ่งเป็นเอเรย์ขนาดเท่ากับ 1 และมีคำขนาด 3 บิต ดังแสดงในรูปที่ 3.14 (ในการทดสอบจริงใช้แอเรย์ขนาด 160 และมีคำเท่ากับ 32 บิต)



รูปที่ 3.14 ผลการสุ่มป้อนรูปแบบสัญญาณทดสอบพร้อมทั้งแพร่ค่าออกสู่ขั้วขาออก

2) นำจุดเสียจากรายการจุดเสียมาทดสอบโดยการแพร่ค่าผลของจุดเสียออกสู่ขั้วขาออกเพื่อเป็นตัวแทนของวงจรที่มีจุดเสีย ตัวอย่างนำจุดเสีย A/0 จากรายการจุดเสียที่เหลือจาก

กระบวนการยุบรวมจุดเสีย {A/0,B/1,B/0,C/1,D/0,E/1,F/1,G/0} มาทดสอบโดยการแพร่ค่าผลของจุดเสียออกสู่ขั้วขาออกดังแสดงในรูปที่ 3.15



รูปที่ 3.15 การแพร่ค่าผลของจุดเสีย A/0 ออกสู่ขั้วขาออก

3) เปรียบเทียบผลที่ออกสู่ขั้วขาออกของวงจรที่ดีและวงจรที่มีจุดเสีย จากรูปที่ 3.15 จะเห็นได้ว่าที่ขั้วขาออก F สามารถตรวจพบผลของจุดเสีย A/0 ได้ที่บิตที่สอง (จากบนลงล่าง) ดังนั้นจุดเสีย A/0 สามารถทดสอบได้โดยมีรูปแบบสัญญาณทดสอบคือ {A,B,C} = {1,0,1}

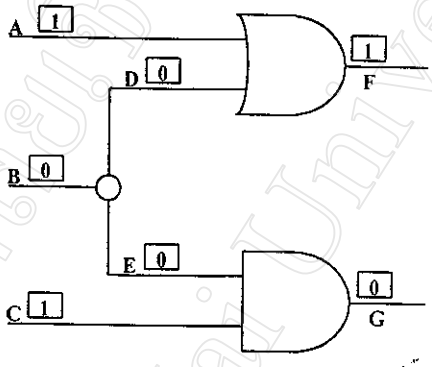
4) ถ้าจุดเสียที่นำมาทดสอบไม่สามารถทดสอบได้ การทำงานจะย้อนกลับไปขั้นตอนที่ 1 ใหม่โดยเลือกจุดเสียลำดับถัดไปมาทดสอบ แต่ถ้าจุดเสียที่นำมาทดสอบสามารถทดสอบได้ จุดเสียนั้นจะถูกนำออกจากรายการจุดเสียและส่งการทำงานต่อไปยังกระบวนการจำลองการทำงานจุดเสีย จากตัวอย่างการทดสอบสามารถทดสอบจุดเสีย A/0 ได้ ดังนั้นจุดเสีย A/0 จะถูกนำออกจากรายการจุดเสียทำให้รายการจุดเสียมีจุดเสียที่เหลือดังนี้ {B/1,B/0,C/1, D/0 E/1,F/1,G/0}

5) ถ้าจุดเสียทุกจุดในรายการจุดเสียได้ผ่านการทดสอบเพื่อหารูปแบบสัญญาณทดสอบแบบสุ่มแล้วจุดเสียในรายการจุดเสียที่เหลือจะถูกส่งไปยังกระบวนการทดสอบโดยวิธีบูลลีนแซททิสฟายอะบิลิตี้ ต่อไป

3.3.2 วิธีการจำลองการทำงานจุดเสีย

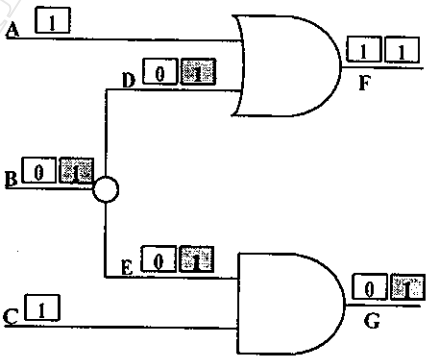
หลังจากที่ได้รับรูปแบบสัญญาณทดสอบจากกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม กระบวนการจำลองการทำงานจุดเสียจะนำรูปแบบที่ได้รับไปทดสอบจุดเสียในรายการจุดเสียโดยมีขั้นตอนดังนี้

1) เก็บค่าทางตรรกของขั้วขาเข้า และ ของเส้นวงจรที่เกี่ยวข้องกับขั้วขาเข้า ตัวอย่างจากรูปที่ 3.15 รูปแบบสัญญาณทดสอบ {A,B,C} = {1,0,1} จากตำแหน่งบิตที่สอง มีค่าทางตรรกที่เกี่ยวข้องดังรูปที่ 3.16



รูปที่ 3.16 ค่าทางตรรกของขั้วขาเข้าและของเส้นวงจรที่เกี่ยวข้อง

2) ทดสอบจุดเสียที่เหลืออยู่ในรายการจุดเสียครั้งละ 1 จุดเสีย โดยการแพร่ค่าผลของจุดเสียออกสู่ขั้วขาออก ซึ่งจากการทดสอบพบว่ารูปแบบสัญญาณทดสอบ {A,B,C} = {1,0,1} สามารถทดสอบจุดเสีย B/1 และ E/1 ได้อีกที่ขั้วขาออก G ดังแสดงในรูปที่ 3.17



รูปที่ 3.17 ผลการแพร่ค่าจุดเสีย B/1 และ E/1

3) นำจุดเสียที่ทดสอบได้ออกจากรายการจุดเสีย ดังนั้นจากการทดสอบจะเหลือจุดเสียจากรายการจุดเสียคือ {B/0,C/1,D/0,F/1,G/0}

4) ถ้าไม่สามารถทดสอบจุดเสียในรายการจุดเสียเพิ่มเติมได้ และรายการจุดเสียยังมีจุดเสียอยู่ กระบวนการจำลองการทำงานจุดเสียจะส่งการทำงานกลับไปยังกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม แต่ถ้าไม่มีจุดเสียในรายการจุดเสียกระบวนการทำงานจะสิ้นสุดลง

จากการทำงานของกระบวนการก่อนการทดสอบทั้งหมด จะทำให้มีจำนวนจุดเสียที่จะถูกส่งผ่านไปยังกระบวนการทดสอบลดลงจากกระบวนการยุบรวมจุดเสีย และทำให้สามารถหารูปแบบสัญญาณทดสอบให้กับจุดเสียที่ง่ายแก่การทดสอบได้จากกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่มอีกทั้งสามารถลดจำนวนรูปแบบสัญญาณทดสอบได้จากการทำงานของกระบวนการจำลองการทำงานจุดเสีย ผลการทดสอบการทำงานของกระบวนการก่อนการทดสอบกับวงจรมาตรฐาน ISCAS'85 และ ISCAS'89 จะถูกนำเสนอในบทที่ 5