บทที่5

การใช้งานและผลการทดสอบโปรแกรมเอทีพีจี

โปรแกรมการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติโดยใช้วิธีบูลลีนแซททิส-ฟายอะบิลิตี้ ร่วมกับหลักวิธีทางโครงสร้างถูกเขียนขึ้นด้วยภาษา C (ANSI C) ภายใต้ระบบปฏิบัติการ LINUX Version 2.2.5-15 ใช้หน่วยประมวลผลกลาง AMD รุ่น K62 ความเร็ว 350 MHz มีหน่วยความจำ 128 MB. วงจรมาตรฐานที่นำมาใช้ทดสอบคือ วงจรประกอบ ISCAS'85 [6] และวงจรลำดับ ISCAS'89 [5] ตามลำดับ

5.1 การใช้งานโปรแกรมการทดสอบ

การใช้งานโปรแกรมการทดสอบทำได้โดยการเรียกโปรแกรมการทดสอบตามด้วยชื่อไฟล์ซึ่งเก็บรายการข่ายวงจรพร้อมทั้งระบุตำแหน่งที่อยู่ของไฟล์ โดยมี Option "-c" เพื่อระบุว่าเป็นการทดสอบวงจรประกอบและ "-s" สำหรับการทดสอบวงจรลำดับโดยมี รูปแบบคำสั่งมีดังนี้

$ ./atpg /vmfile/c432.vm –c	กด ENTER	(ทดสอบวงจรประกอบ)
$ ./atpg /vmfile/s27.vm –s	กด ENTER	(ทดสอบวงจรลำดับ)

ผลลัพธ์ที่ได้จากการทดสอบจะเก็บอยู่ในไฟล์ต่างๆดังต่อไปนี้

atpglog.txt	รายงานผลสรุปที่ได้จากการทดสอบ
b_pattern.txt	รูปแบบสัญญาณทดสอบที่ได้รับจากการกำหนดค่าตัวแปร
p_pattern.txt	รูปแบบสัญญาณทดสอบที่ได้รับจากการจำลองการทำงานจุดเสีย
b_redun.txt	รายการจุดเสียที่เป็น Redundance Fault
aborted.txt	รายจุดเสียที่ไม่สามารถหารูปแบบสัญญาณทดสอบ
f_class.txt	กลุ่มของจุดเสียที่สมมูลกันและสมนัยกัน

5.2 ผลการทดสอบวงจรประกอบ

วงจรประกอบที่นำมาทดสอบกับ โปรแกรมเอทีพีจีโดยวิธี บูลลีนแซททิสฟายอะบิลิตี้ มีทั้งหมด 10 วงจรโดยมีผลการทดสอบดังแสดงในตารางที่ 5.1 และ 5.2 ตามลำดับ

ตารางที่ 5.1 ผลการทดสอบวงจรประกอบ

Circuit	Total Fault	Collap Fault	Random Test		Boolean Satisfy Test			Abt. Fault	Fault Cov. (%)	Time (Sec.)
			Det. Fault	Test Vec	Det. Fault	Test Vec	Prove Red.			
C17	34	16	16	7	-	-	-	0	100.00	0.01
C432	864	449	445	69	-	-	-	4	99.11	1.80
C499	998	706	698	58	-	-	8	0	98.87	1.09
C880	1760	745	743	69	-	-	-	2	99.73	1.11
C1355	2710	1210	1202	99	-	-	-	8	99.34	10.61
C1908	3816	1566	1555	145	-	-	6	5	99.30	5.66
C2670	5340	2317	1946	83	263	66	43	65	95.34	43.67
C3540	7080	2786	2653	199	4	4	78	51	95.37	53.14
C6288	12576	5824	5790	37	-	-	32	2	99.45	60.07
C7552	15104	6132	5702	173	128	37	39	354	95.10	119.70

ตารางที่ 5.2 ผลการเปรียบเทียบการทดสอบวงจรประกอบ

Circuit	Larrabee(1992)				RedList(2000)				The Proposed ATPG			
	Total Fault	Cov. (%)	Vec	Time Sec.	Total Fault	Cov. (%)	Vec	Time Sec.	Total Fault	Cov. (%)	Vec	Time Sec.
C432	438	99.09	77	10.7	449	99.11	50	0.1	449	99.11	69	1.8
C499	628	98.73	72	10.6	706	98.87	52	0.0	706	98.87	58	1.1
C1355	1436	99.45	108	28.1	1210	99.34	85	0.0	1210	99.34	99	10.6
C1908	1754	99.49	174	128.9	1566	99.43	119	0.2	1566	99.30	145	5.7
C2670	2357	95.08	176	380.9	2317	95.12	107	6.5	2317	95.34	149	43.7
C3540	3292	95.84	269	354.3	2786	95.37	154	0.5	2786	95.37	203	53.1
C6288	7616	99.55	47	197.5	5824	99.42	32	0.2	5824	99.45	37	60.1
C7552	7170	98.18	443	639.0	6132	97.85	205	32.1	6132	95.10	210	119.7

จากผลการทดสอบตารางที่ 5.2 จะเห็นได้ว่าโปรแกรมเอทีพีจีที่นำเสนอสามารถทดสอบวงจรประกอบมาตรฐานโดยให้ค่าครอบคลุมจุดเสียอยู่ในช่วง 95-99% และเมื่อนำผลการทดสอบไปเปรียบเทียบกับ RedList [1] ซึ่งเป็นวิธีการทางโครงสร้างที่ใช้หลักวิธีการยุบรวมจุดเสียแบบเดียวกันโดยมีหลักการสร้างรายการลดทอน (Reduction List) [19] เพื่อช่วยลดการเกิดการย้อนรอย (Backtrack) RedList ทำงานบนระบบปฏิบัติการ Unix Solaris Version 2.4 บนเครื่อง SUN SPARCstation มีหน่วยความจำ 32 MB. และ Larrabee [12] ซึ่งใช้หลักวิธีบูลลีนแซททิสฟายอะบิลิตี้ ทำงานบนเครื่อง Titan ซึ่งเป็นเครื่องทดสอบของ Digital Equipment Corporation Western Research Laboratory มีหน่วยประมวลผลแบบ RISC (Reduce Instruction Set Computer) จากผลการทดสอบค่าครอบคลุมจุดเสียที่ได้รับมีค่าใกล้เคียงกัน โดยโปรแกรมเอทีพีจีที่นำเสนอใช้เวลาในการทดสอบและจำนวนรูปแบบสัญญาณทดสอบน้อยกว่า Larrabee ส่วน RedList ใช้เวลาในการทดสอบและจำนวนรูปแบบสัญญาณทดสอบน้อยที่สุด

5.3 ผลการทดสอบวงจรลำดับ

วงจรลำดับที่นำมาทดสอบกับโปรแกรมเอทีพีจีโดยวิธีบูลลีนแซททิสฟายอะบิลิตี้ มีทั้งหมด 10 วงจร โดยมีผลการทดสอบดังตารางที่ 5.3 และ 5.4 ตามลำดับ

ตารางที่ 5.3 ผลการทดสอบวงจรลำดับ

Circuit	Total Fault	Collap Fault	Random Test		Boolean Satisfy Test		Abt. Fault	Fault Cov. (%)	Time (Sec.)
			Det. Fault	Test Vector	Det. Fault	Test Vector			
S27	54	25	25	19	-	-	-	100	0.00
S298	596	264	185	124	36	15	43	83.71	102.63
S349	698	271	264	119	6	7	1	99.63	14.57
S386	772	292	180	101	60	21	52	82.19	258.66
S420	840	336	97	44	65	16	174	48.21	212.81
S641	1282	381	326	213	33	39	22	94.23	288.75
S713	1426	466	371	198	64	56	31	93.38	510.83
S838	1676	672	149	45	205	16	318	52.68	683.56
S1196	2392	942	928	424	1	2	13	98.61	19.26
S1238	2476	1028	946	455	-	-	79	92.32	110.45

ตารางที่ 5.4 ผลการเปรียบเทียบการทดสอบวงจรลำดับ

Circuit	ATOM(1998)				ESSENTIAL(1991)				The Proposed ATPG			
	Total Fault	Cov. (%)	Vec	Time Sec.	Total Fault	Cov. (%)	Vec	Time Sec.	Total Fault	Cov. (%)	Vec	Time Sec.
S298	308	100.00	52	0.0	308	85.39	250	135.7	264	83.71	139	102.6
S349	350	99.43	65	0.0	350	93.14	73	23.2	271	99.63	126	14.6
S420	455	100.00	98	0.1	430	41.63	148	80.47	336	48.21	60	212.8
S641	467	100.00	99	0.1	467	86.30	175	41.33	381	94.23	252	288.7
S713	581	93.46	100	0.1	581	81.93	239	142.5	466	93.38	254	510.8
S838	857	100.00	183	0.2	857	29.64	169	263.1	672	52.68	61	683.6
S1196	1242	100.00	227	0.4	1242	99.76	358	94.13	942	98.61	426	19.3
S1238	1355	1286	240	0.6	1355	94.69	386	120.0	1028	92.32	455	110.5

จากผลการทดสอบวงจรลำดับเมื่อนำมาเปรียบเทียบกับ ATOM [9] ซึ่งเขียนด้วยภาษา C++ (GNU CC Version 2.8) บนระบบปฏิบัติการ Linux บนเครื่อง PC Pentium Pro 200 Mhz หน่วยความจำ 128 Mb และ ESSENTIAL [4] ซึ่งเขียนด้วยภาษา C บนเครื่อง VAX ดังแสดงในตารางที่ 5.4 จะเห็นได้ว่าโปรแกรมเอทีพีจีที่นำเสนอให้ค่าครอบคลุมจุดเสียสำหรับวงจร S420 และ S838 ได้ต่ำกว่าวงจรอื่นเนื่องจากทั้งสองวงจรเป็นวงจรที่มีขนาดใหญ่และมีจำนวนขั้วขาเข้าสูงในขณะที่มีจำนวนขาออกเพียง 2 ขั้ว สำหรับผลการทดสอบวงจรอื่นๆ จะเห็นได้ว่า ATOM ให้ค่าครอบคลุมจุดเสียมากที่สุดและใช้เวลาในการทดสอบน้อยที่สุด ในขณะที่โปรแกรมเอทีพีจีที่นำเสนอและโปรแกรม ESSENTIAL ได้ค่าครอบคลุมจุดเสียและใช้เวลาในการทดสอบใกล้เคียงกัน

5.4 ผลการทดสอบการทำงานโปรแกรมจำลองการทำงานจุดเสีย

โปรแกรมจำลองการทำงานจุดเสียซึ่งเป็นส่วนหนึ่งของโปรแกรม ATPG ทำหน้าที่ในการนำรูปแบบสัญญาณทดสอบที่ได้รับจากกระบวนการให้กำเนิดสัญญาณทดสอบแบบสุ่ม และ กระบวนการให้กำเนิดสัญญาณทดสอบแบบอัตโนมัติมาทดสอบจุดเสียที่เหลืออยู่ในรายการจุดเสีย ซึ่งเมื่อนำมาจำลองการทำงานโดยอาศัยรูปแบบสัญญาณทดสอบของวงจรประกอบจาก ATOM และรูปแบบสัญญาณทดสอบวงจรของลำดับจาก HITEC [15] ผลการทดสอบการทำงานของโปรแกรมจำลองการทำงานจุดเสีย แสดงดังตารางที่ 5.5 และ 5.6 ตามลำดับ

ตารางที่ 5.5 ผลการการทดสอบโปรแกรมจำลองการทำงานจุดเสียกับวงจรประกอบ

Circuit	ATOM				The Purposed Fault Simulation			
	Det Fault	UnDet Fault	Test Vec.	Cov. (%)	Det Fault	UnDet Fault	Test Vec.	Cov. (%)
C499	750	8	127	98.94	698	8	127	98.87
C880	942	-	133	100.00	745	-	133	100.00
C1355	1566	8	192	99.49	1202	8	192	99.34
C1908	1870	9	210	99.52	1577	9	210	99.43
C5315	5291	59	216	98.89	4433	59	216	98.69
C6288	7710	34	64	99.56	5790	34	64	99.42
C7552	7419	131	393	98.26	6001	131	393	97.86

ตารางที่ 5.6 ผลการการทดสอบโปรแกรมจำลองการทำงานจุดเสียกับวงจรลำดับ

Circuit	HITEC				The Purposed Fault Simulation			
	Det Faults	UnDet Faults	Test Vec.	Cov. (%)	Det Faults	UnDet Faults	Test Vec.	Cov. (%)
S344	342	14	142	96.07	265	14	142	94.98
S349	350	15	137	95.89	271	17	137	94.10
S386	384	70	311	84.58	293	70	311	80.72
S641	467	63	404	88.11	381	66	404	85.23
S713	581	105	476	84.69	466	105	476	81.61
S1196	1242	3	1239	99.76	942	5	1239	99.47
S1238	1355	72	1283	94.95	1028	71	1283	93.54

จากผลการเปรียบเทียบการทำงานของโปรแกรมจำลองการทำงานจุดเสีย ตารางที่ 5.5 และ 5.6 จะเห็นได้ว่าผลการทดสอบการจำลองการทำงานจุดเสียวงจรประกอบได้ค่าครอบคลุมจุดเสียใกล้เคียงกันและมีจุดเสียที่ทดสอบไม่ได้เท่ากัน สำหรับวงจรลำดับค่าครอบคลุมจุดเสียและจุดเสียที่ทดสอบไม่ได้มีค่าใกล้เคียงกัน