บทที่ 6

สรุปและข้อเสนอแนะ

6.1 สรุปผลงานวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้พัฒนาโปรแกรมการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติโดยใช้วิธีการบูลลีนแซททิสฟายอะบิลิตี้ ร่วมกับหลักวิธีทางโครงสร้างเพื่อนำมาใช้ในกระบวนการยุบรวมจุดเสีย การจำลองการทำงานของจุดเสีย และการสร้างอนุประโยคเงื่อนไขเพื่อช่วยลดเวลาในการกำหนดค่าให้กับตัวแปรซึ่งสามารถทดสอบวงจรประกอบและวงจรลำดับได้ตามวัตถุประสงค์

จากผลการทดสอบวงจรประกอบค่าครอบคลุมจุดเสียที่ได้รับส่วนใหญ่อยู่ในช่วง 95-99% ผลการทดสอบที่ได้รับเมื่อนำมาเปรียบเทียบกับ RedList และ Larrabee แล้วพบว่าค่าครอบคลุมจุดเสียที่ได้รับมีค่าใกล้เคียงกัน โดยโปรแกรมเอทีพีจีที่นำเสนอใช้เวลาในการทดสอบและจำนวนรูปแบบสัญญาณทดสอบน้อยกว่า Larrabee ส่วน RedList ใช้เวลาในการทดสอบและจำนวนรูปแบบสัญญาณทดสอบน้อยที่สุด

จากผลการทดสอบวงจรลำดับโปรแกรมเอทีพีจีที่นำเสนอสามารถทดสอบวงจรลำดับโดยให้ค่าครอบคลุมจุดเสียอยู่ในช่วง 48-98% โดยวงจรที่โปรแกรมเอทีพีจีให้ค่าครอบคลุมจุดเสียอยู่ในช่วง 48-52% คือวงจร S420 และ S838 ซึ่งเป็นวงจรที่มีขั้วขาออกหลักเพียง 2 ขั้ว ในขณะที่มีจำนวนขั้วขาเข้าหลักและจำนวนฟลิปฟลอปมาก และจากผลการเปรียบเทียบกับ ATOM และ ESSENTIAL จะเห็นได้ว่า ATOM ให้ค่าครอบคลุมจุดเสียมากที่สุดและใช้เวลาในการทดสอบน้อยที่สุด ในขณะที่โปรแกรมเอทีพีจีที่นำเสนอกับโปรแกรม ESSENTIAL ให้ค่าครอบคลุมจุดเสียและใช้เวลาในการทดสอบใกล้เคียงกัน

จากผลการทดสอบจะเห็นได้ว่าวิธีการทางพีชคณิตก็เป็นอีกทางเลือกหนึ่งที่สามารถนำมาใช้ในการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติได้

6.2 ปัญหาและข้อเสนอแนะ

ปัญหาสำคัญของกระบวนการให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติโดยใช้วิธีการบูลลีนแซททิสฟาย่อะบิลิตี้ คือใช้เวลานานและใช้หน่วยความจำสูงมากในการทดสอบ สาเหตุส่วนหนึ่งเนื่องมาจากใช้เวลาในการแปลงรูปแบบปัญหาจากทางโครงสร้างให้มาอยู่ในรูปแบบทางพีชคณิต ซึ่งจากหลักวิธีที่นำมาใช้จะต้องมีการสร้างโครงสร้างข้อมูลเพื่อเป็นตัวแทนผลรวมของวงจรที่ดีและวงจรที่มีจุดเสียซึ่งทำให้ได้วงจรที่จะเข้าสู่กระบวนการทดสอบมีขนาดใหญ่และมีความซับซ้อนกว่าเดิม ต่อจากนั้นจึงจะแปลงวงจรที่ได้นี้ให้อยู่ในรูปแบบความสัมพันธ์ทางตรรกและอีกส่วนหนึ่งเนื่องมาจากความซับซ้อนของกระบวนการกำหนดค่าทางตรรกให้กับตัวแปรโดยวิธีบูลลีนแซททิสฟายอะบิตี้เอง

นอกจากนี้การแบ่งขนาดวงจรที่นำมาทดสอบเพื่อแยกทดสอบเฉพาะจุดเสียที่เกี่ยวข้องกับขั้วขาออกที่กำลังพิจารณานั้น จะต้องใช้เวลาส่วนหนึ่งในการค้นหาส่วนของวงจรที่เกี่ยวข้องกับขั้วขาออกที่กำลังทดสอบ ซึ่งเมื่อทำการทดสอบวงจรที่มีขนาดใหญ่ หรือมีทางเดินจากขั้วขาเข้าออกสู่ขั้วขาออกยาวก็จะทำให้เสียเวลาในส่วนนี้มาก อย่างไรก็ตามวิธีการนี้สามารถลดเวลาที่ใช้ในการทดสอบลงได้ส่วนหนึ่ง โดยการนำหลักวิธีการเขียนโปรแกรมแบบขนาน (Parallel Programming) ในระบบปฏิบัติการที่เป็นแบบหลายงาน (Multitasking) และหลายหน่วยประมวลผล (Multiprocessor) เข้ามาช่วยโดยแยกทดสอบจุดเสียที่เกี่ยวพันกับแต่ละขั้วขาออกพร้อมๆกัน [10] และผลจากการแบ่งขนาดของวงจรทำให้การทดสอบวงจรลำดับจำเป็นต้องใช้จำนวนรูปแบบสัญญาณทดสอบมาก ทั้งนี้เพราะรูปแบบสัญญาณทดสอบที่ได้รับจะเป็นสัญญาณที่ป้อนเข้าสู่ขั้วขาเข้าที่เกี่ยวข้องกับขั้วขาออกที่กำลังพิจารณาเท่านั้น ส่วนขั้วขาเข้าอื่นๆ จะถูกกำหนดให้เป็นค่าใดก็ได้ ซึ่งขั้วขาเข้าที่เหลือนี้อาจมีรูปแบบสัญญาณทดสอบที่สามารถทดสอบจุดเสียอื่นอีกได้ ดังนั้นถ้านำหลักวิธียุบรวมรูปแบบสัญญาณทดสอบ (Test Compaction) [16] ที่เหมาะสมเข้ามาใช้ก็น่าจะทำให้ลดขนาดของรูปแบบสัญญาณทดสอบลงได้