บทที่ 4
การจำลองการทำงานและการออกแบบของระบบควบคุม

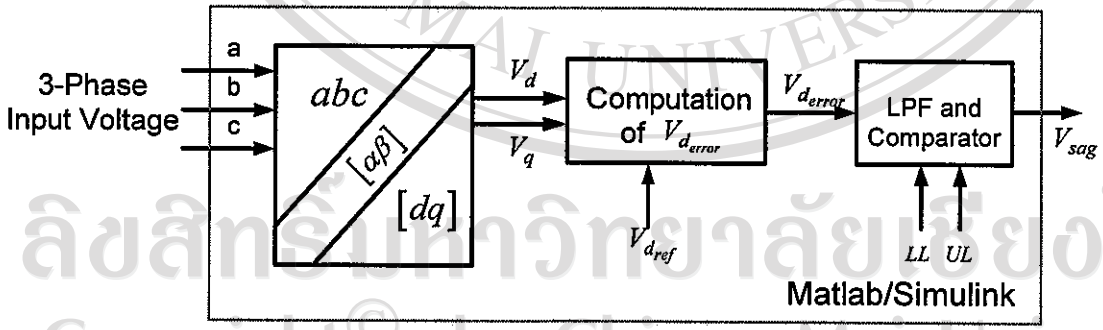
สำหรับบทนี้ได้นำเสนอในส่วนการจำลองการทำงานของระบบ (Simulation Result) โครงสร้างทางด้านฮาร์ดแวร์ของวงจรการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส การควบคุม การตรวจจับสัญญาณ และโครงสร้างซอฟต์แวร์ของระบบดังรายละเอียดต่อไปนี้

4.1 การจำลองการทำงานของระบบ

การจำลองการทำงานของระบบที่ได้ออกแบบไว้ จะใช้โปรแกรม Matlab/Simulink ซึ่งเป็นโปรแกรมที่น่าเชื่อถือและเป็นที่ยอมรับกันทั่วไป เพื่อพิสูจน์ทางทฤษฎีว่าระบบควบคุมที่ได้ออกแบบนั้นสามารถควบคุมได้หรือไม่

4.1.1 การจำลองการทำงาน

จากที่ได้กล่าวถึงพื้นฐานของเทคนิคการตรวจจับแรงดันตกชั่วขณะในบทที่ 3 สามารถนำมาจำลองการทำงานในโปรแกรม Matlab/Simulink โดยแสดงในรูปแบบของแผนภาพบล็อกได้ดังรูปที่ 4.1 กำหนดให้แหล่งจ่ายของแรงดันมีแรงดันเฟสเท่ากับ 1 เปอร์ยูนิต (220 V_{rms}) ความถี่ 50 เฮิรตซ์ ความถี่ตัด (Cut-off frequency) ของตัวกรองความถี่ต่ำผ่าน (LPF) เท่ากับ 100 เฮิรตซ์ และตัวเปรียบเทียบฮีสเตอริซีส (Hysteresis comparator) จะตั้งส่วนขอบเขตบนที่ 0.006 และขอบเขตล่างตั้งที่ 0.0057 เพื่อหลีกเลี่ยงสัญญาณรบกวนจากค่าระลอก

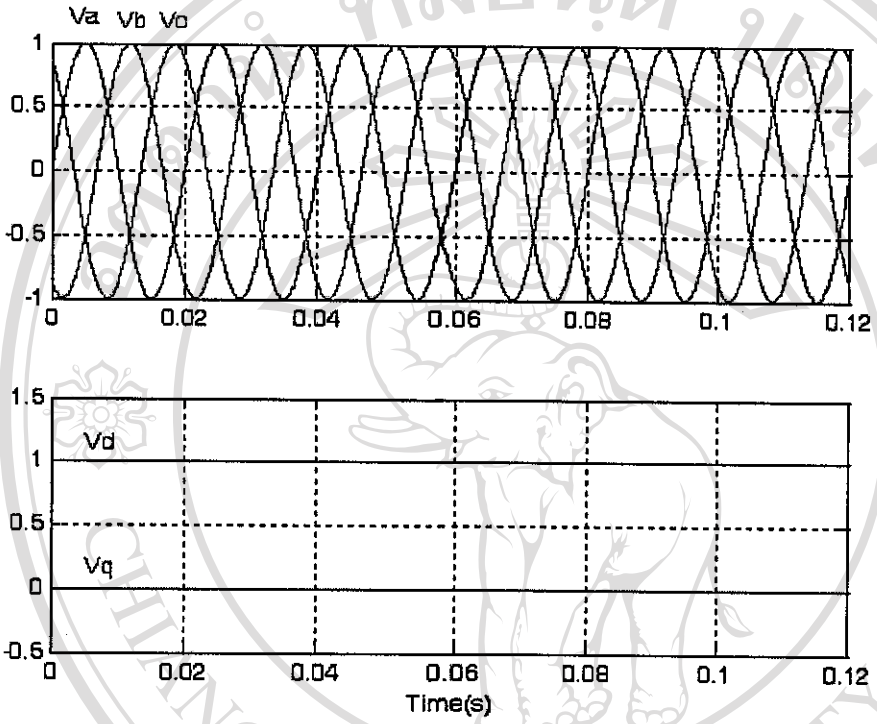


รูปที่ 4.1 แผนภาพบล็อกของวงจรการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

4.1.2 ผลการจำลองการทำงาน

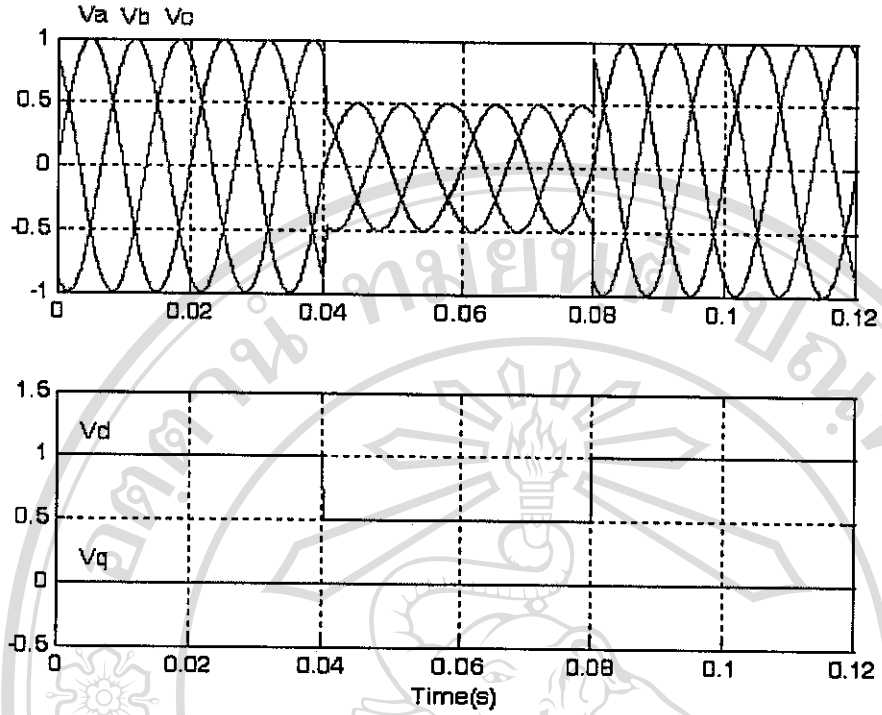
รูปที่ 4.2 แสดงผลการจำลองการแปลงแรงดันชนิดสามเฟส (V_a, V_b, V_c) ให้ไปอยู่ในรูปแรงดันกระแสตรงบนแกนที่หมุนด้วยความเร็วซิงโครนัส (V_d, V_q) จะเห็นว่าเมื่อไม่เกิดแรงดันตกชั่วขณะ V_q จะเท่ากับ 0 และ V_d เท่ากับ 1 p.u. (220 V_{rms})



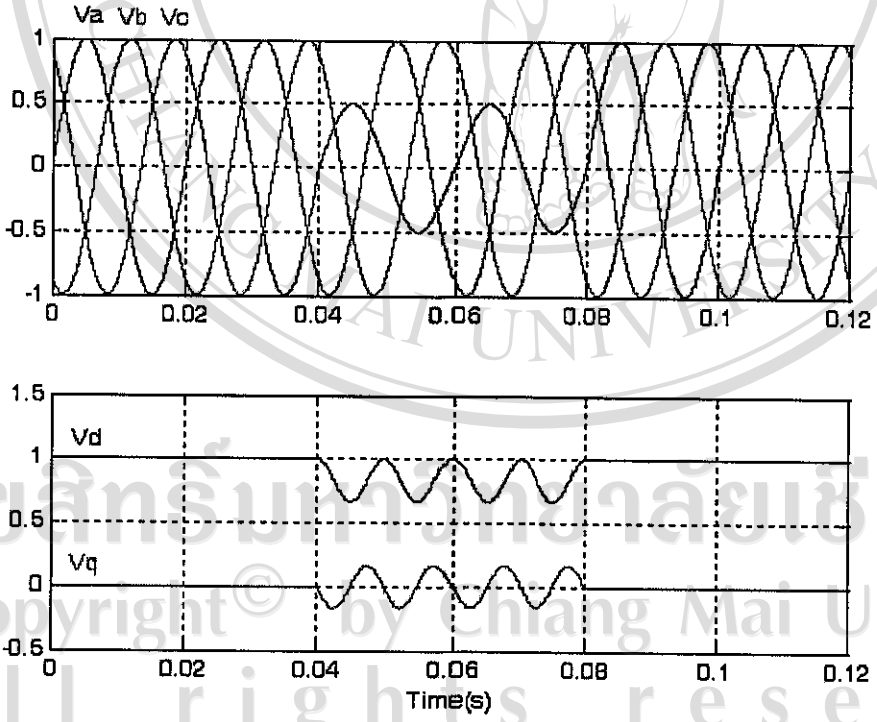
รูปที่ 4.2 ผลการจำลองการแปลงแรงดันชนิดสามเฟสเป็นแรงดันกระแสตรงบนแกนที่หมุนด้วยความเร็วซิงโครนัส

รูปที่ 4.3 แสดงผลการจำลองแรงดันกระแสตรงบนแกนหมุน (V_d, V_q) เมื่อเกิดแรงดันตกชั่วขณะชนิดสามเฟส โดยรูปที่ 4.3 (ก) เป็นการเกิดแรงดันตกชั่วขณะชนิดสามเฟสแบบสมดุล จะเห็นว่า V_q จะเท่ากับ 0 เหมือนในสภาวะปกติ ส่วน V_d จะมีการเปลี่ยนแปลงโดยจะมีขนาดลดลงในช่วงเวลาที่เกิดแรงดันตกชั่วขณะ และในรูปที่ 4.3 (ข) เป็นการเกิดแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุล จะเห็นว่า V_q จะมีการเปลี่ยนแปลงในช่วงเวลาที่เกิดแรงดันตกชั่วขณะ โดยมีองค์ประกอบความถี่ 2ω คือความถี่ในการแกว่งจะเป็น 2 เท่าของความถี่มูลฐาน (Fundamention frequency) ดังในสมการที่ (3.12) ส่วน V_d จะมีการเปลี่ยนแปลงซึ่งนอกจากจะมีขนาดลดลงแล้วยังเกิดการแกว่งซึ่งมีความถี่เป็น 2 เท่าของความถี่มูลฐานเช่นกัน

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



ก) แรงดันตกชั่วขณะชนิดสามเฟสแบบสมดุลขนาด 50% (50% three-phase balanced sag)



ข) แรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลขนาด 50% (50% three-phase unbalanced sag)

รูปที่ 4.3 ผลการจำลองแรงดันกระแสตรงบนแกนหมุน (V_d, V_q)
เมื่อเกิดแรงดันตกชั่วขณะชนิดสามเฟสที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

รูปที่ 4.4 และ 4.5 แสดงผลการจำลองการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบสมดุลขนาด 90% (แรงดันหายไป 10% และเหลือแรงดันอยู่ 90%) และขนาด 50% จะเห็นว่า V_{derror} เป็นสัญญาณที่บ่งบอกช่วงเวลาในการเกิดแรงดันตกชั่วขณะ มีลักษณะเป็นแรงดันกระแสตรงและไม่มีค่าระลอก (Ripple) สัญญาณจะถูกกรองด้วยตัวกรองความถี่ต่ำผ่าน (V_{dist}) จากนั้นตัวเปรียบเทียบฮีสเตอริซีสก็จะสร้างสัญญาณเปิด/ปิด (V_{sag}) ตามช่วงเวลาของการเกิดแรงดันตกชั่วขณะ โดยที่จะไม่รอจนถึงระดับสูงสุดของความผิดพร่อง ซึ่งสามารถตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบสมดุลขนาด 90% และขนาด 50% หลังจากเกิดได้ภายในเวลา0.4 ms และ 0.2 ms ตามลำดับ ซึ่งเรียกเวลานี้ว่า เวลาหน่วง (Delay time)

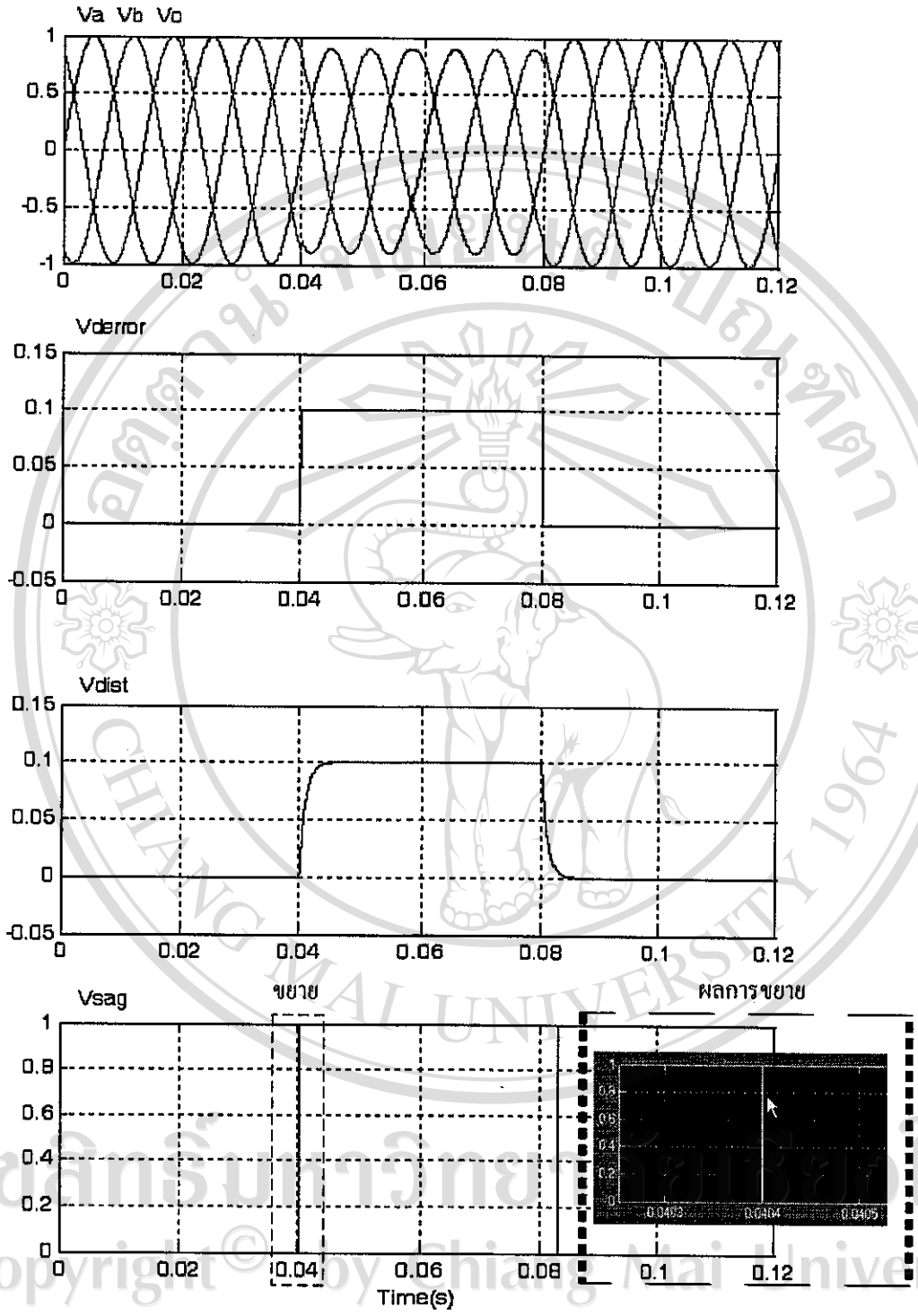
รูปที่ 4.6 และ 4.7 แสดงผลการจำลองการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลขนาด 90% และขนาด 50% โดยตกลงไปสองเฟส จะเห็นว่า V_{derror} จะเกิดการแกว่งของสัญญาณโดยมีองค์ประกอบความถี่ 2ω และจะถูกกรองให้มีความราบเรียบมากขึ้นเพื่อให้ค่าระลอกมีค่าน้อยลงด้วยตัวกรองความถี่ต่ำผ่าน (V_{dist}) จากนั้นตัวเปรียบเทียบฮีสเตอริซีสก็จะสร้างสัญญาณเปิด/ปิด ตามช่วงเวลาของการเกิด โดยมีเวลาหน่วงสำหรับการเกิดแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลขนาด 90% และขนาด 50% เท่ากับ 0.7 ms และ 0.3 ms ตามลำดับ

รูปที่ 4.8 และ 4.9 แสดงผลการจำลองการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลขนาด 90% และขนาด 50% โดยตกลงไปหนึ่งเฟส จะเห็นว่า V_{derror} จะเกิดการแกว่งของสัญญาณโดยมีองค์ประกอบความถี่ 2ω และจะถูกกรองให้มีความราบเรียบมากขึ้น (V_{dist}) ซึ่งจะสำคัญมากสำหรับการเกิดแบบไม่สมดุลที่ตกลงไปหนึ่งเฟส เพราะถ้ามีค่าระลอกมากจะทำให้ตัวเปรียบเทียบฮีสเตอริซีสสร้างสัญญาณเปิด/ปิด ไม่ถูกต้องให้ตรงตามช่วงเวลาของการเกิดได้ และมีเวลาหน่วงสำหรับการเกิดแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลขนาด90%และขนาด 50% เท่ากับ 1.5 ms และ 0.9 ms ตามลำดับ

รูปที่ 4.10 แสดงผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบสมดุลขนาด 90% และมีองค์ประกอบฮาร์มอนิกที่ 5 ขนาด 0.1 p.u. (10%) ของความถี่มูลฐานปะปนอยู่ในแหล่งจ่าย จะเห็นว่า V_{derror} จะเกิดการแกว่งโดยมีองค์ประกอบความถี่ 6ω และจะถูกกรองให้มีความราบเรียบมากขึ้นด้วยตัวกรองความถี่ต่ำผ่าน จากนั้นตัวเปรียบเทียบฮีสเตอริซีสก็จะสร้างสัญญาณเปิด/ปิด ตามช่วงเวลาของการเกิด โดยมีเวลาหน่วงเท่ากับ 0.8 ms

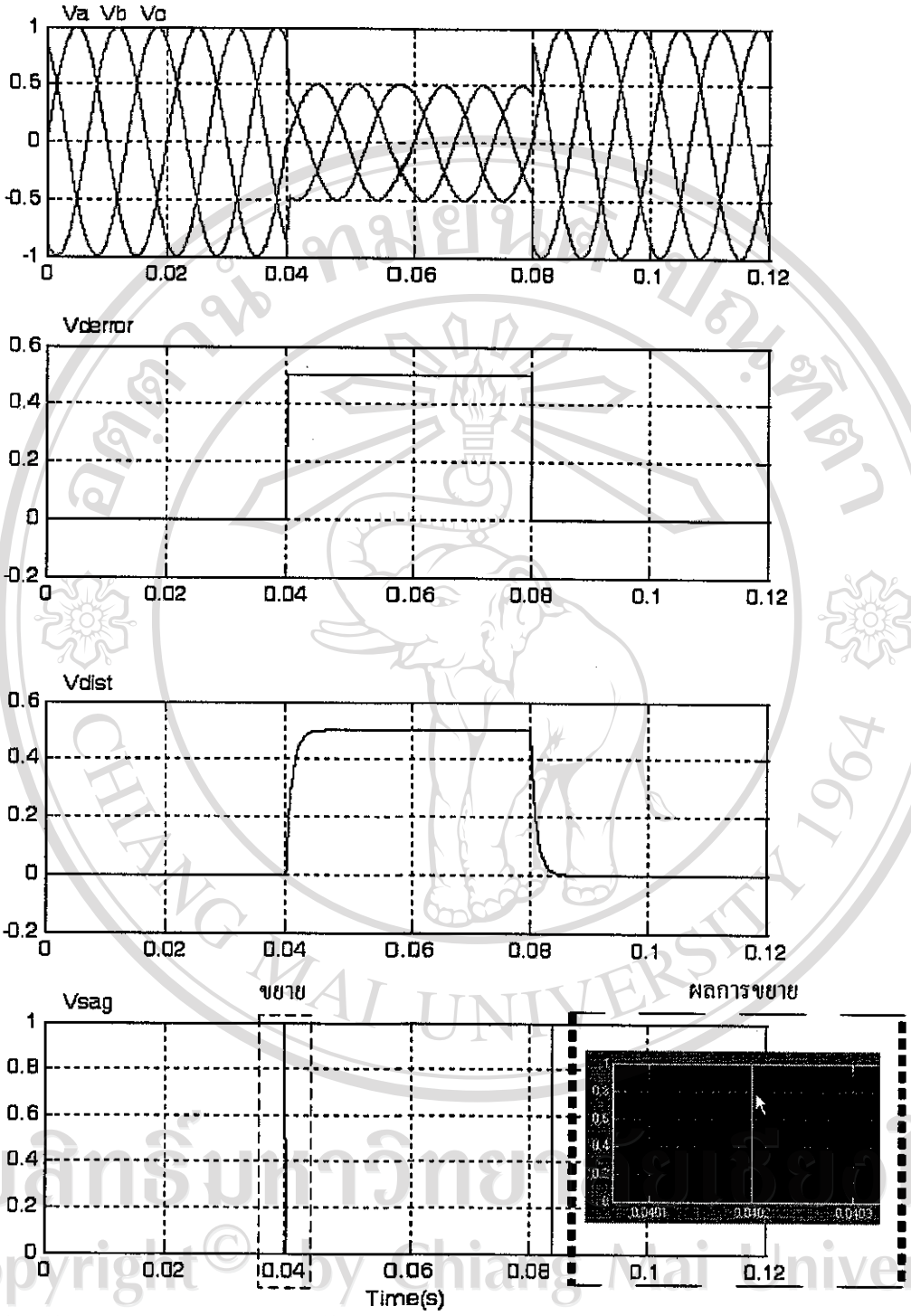
รูปที่ 4.11 แสดงผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลขนาด 50% และมีการเลื่อนเฟสที่เฟส a แบบเฟสนำ 60 องศา จะเห็นว่า V_{derror} จะเกิดการแกว่งโดยมีองค์ประกอบความถี่ 2ω และจะมียอดแหลม (Spike) ณ จุดที่เกิดการเลื่อนเฟสขึ้น และถูกกรองให้มีความราบเรียบมากขึ้นด้วยตัวกรองความถี่ต่ำผ่าน จากนั้นตัวเปรียบเทียบฮีสเตอริซีสก็จะสร้างสัญญาณเปิด/ปิด ตามช่วงเวลาของการเกิด โดยมีเวลาหน่วงเท่ากับ 2.3 ms

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



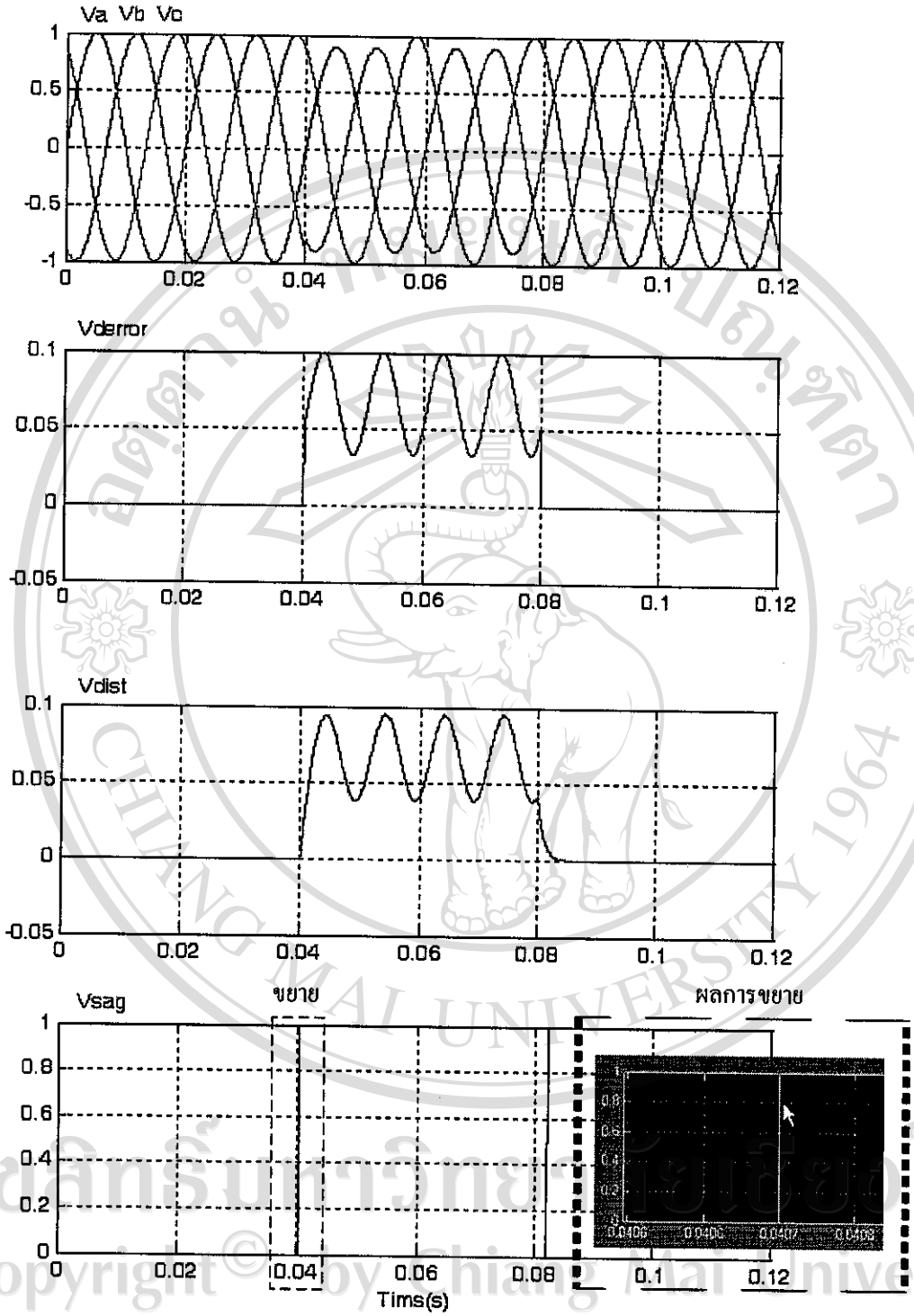
รูปที่ 4.4 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส
แบบสมดุลขนาด 90% ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



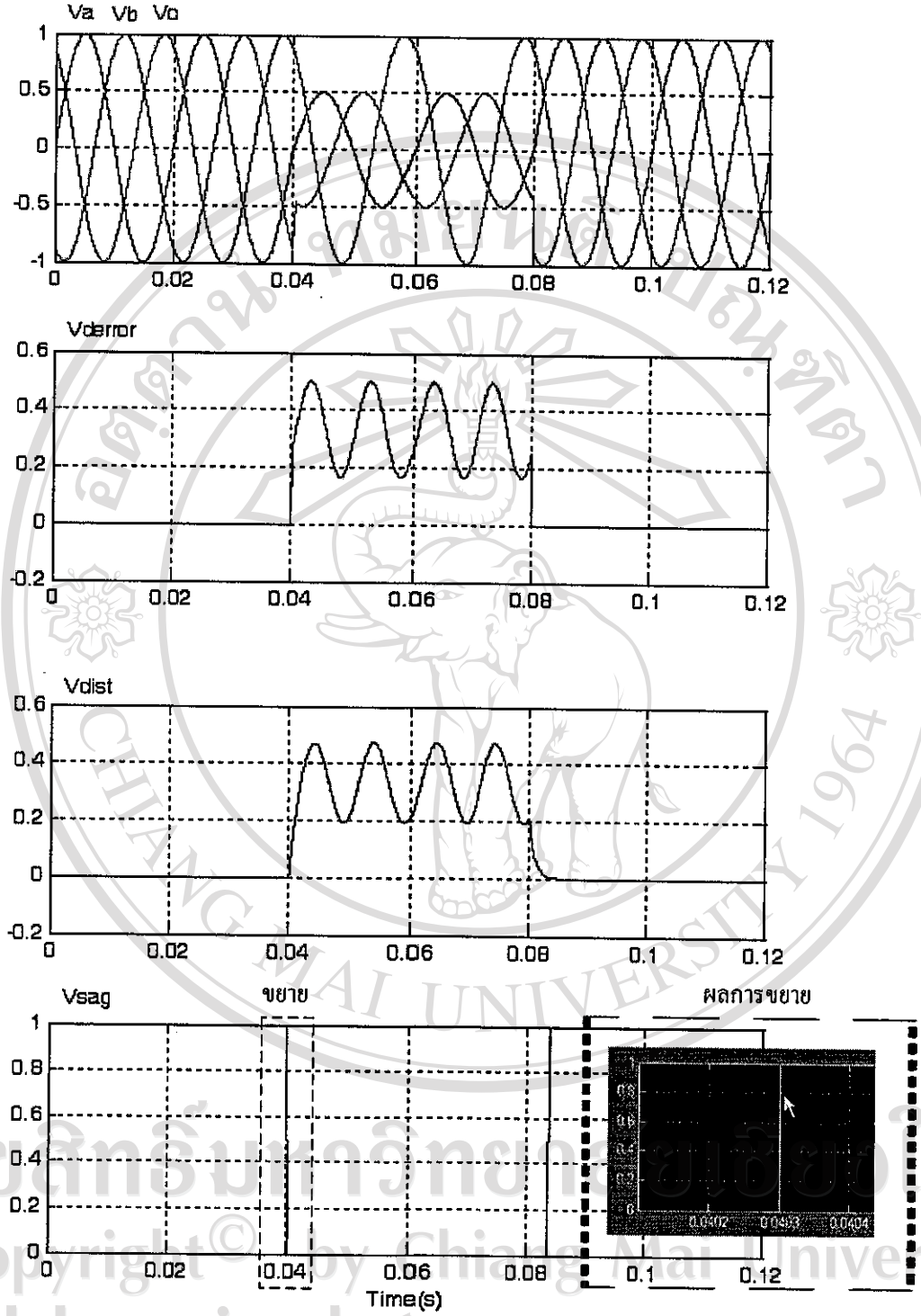
รูปที่ 4.5 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส
แบบสมดุลขนาด 50% ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



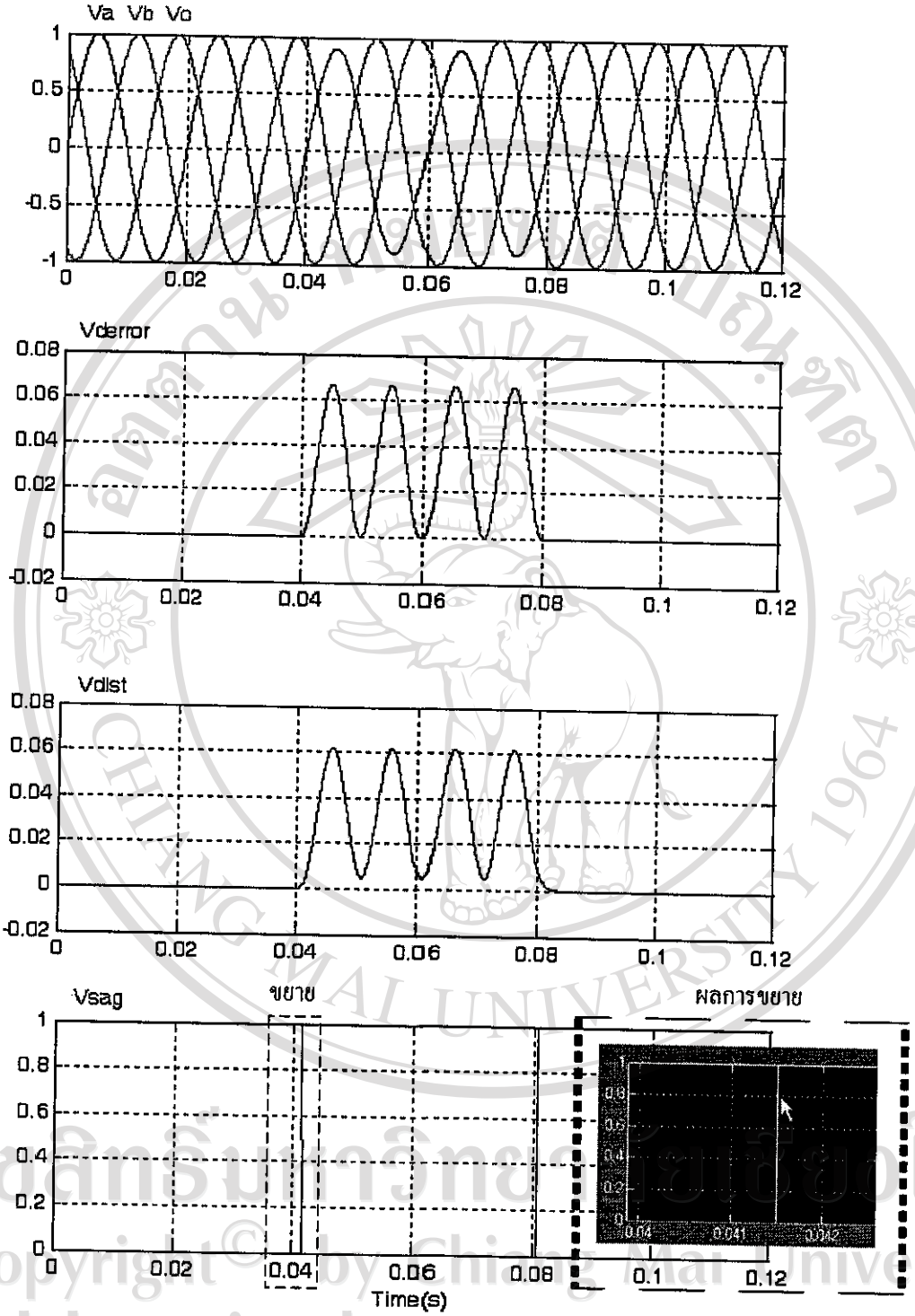
รูปที่ 4.6 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส
แบบไม่สมดุลขนาด 90% โดยตกลงไปสองเฟส ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright © by Chiang Mai University
All rights reserved



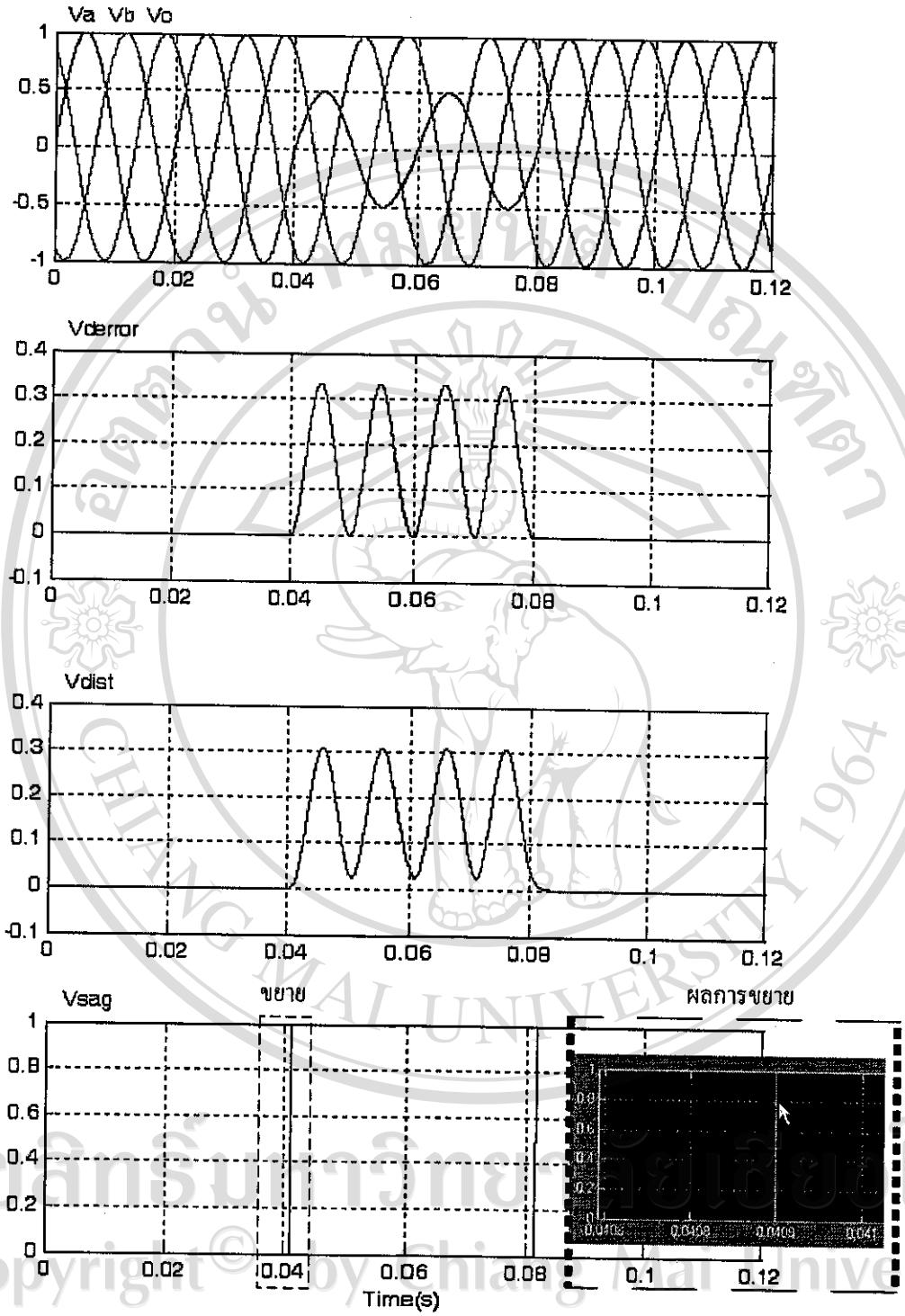
รูปที่ 4.7 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส
แบบไม่สมดุลขนาด 50% โดยตกลงไปสองเฟส ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



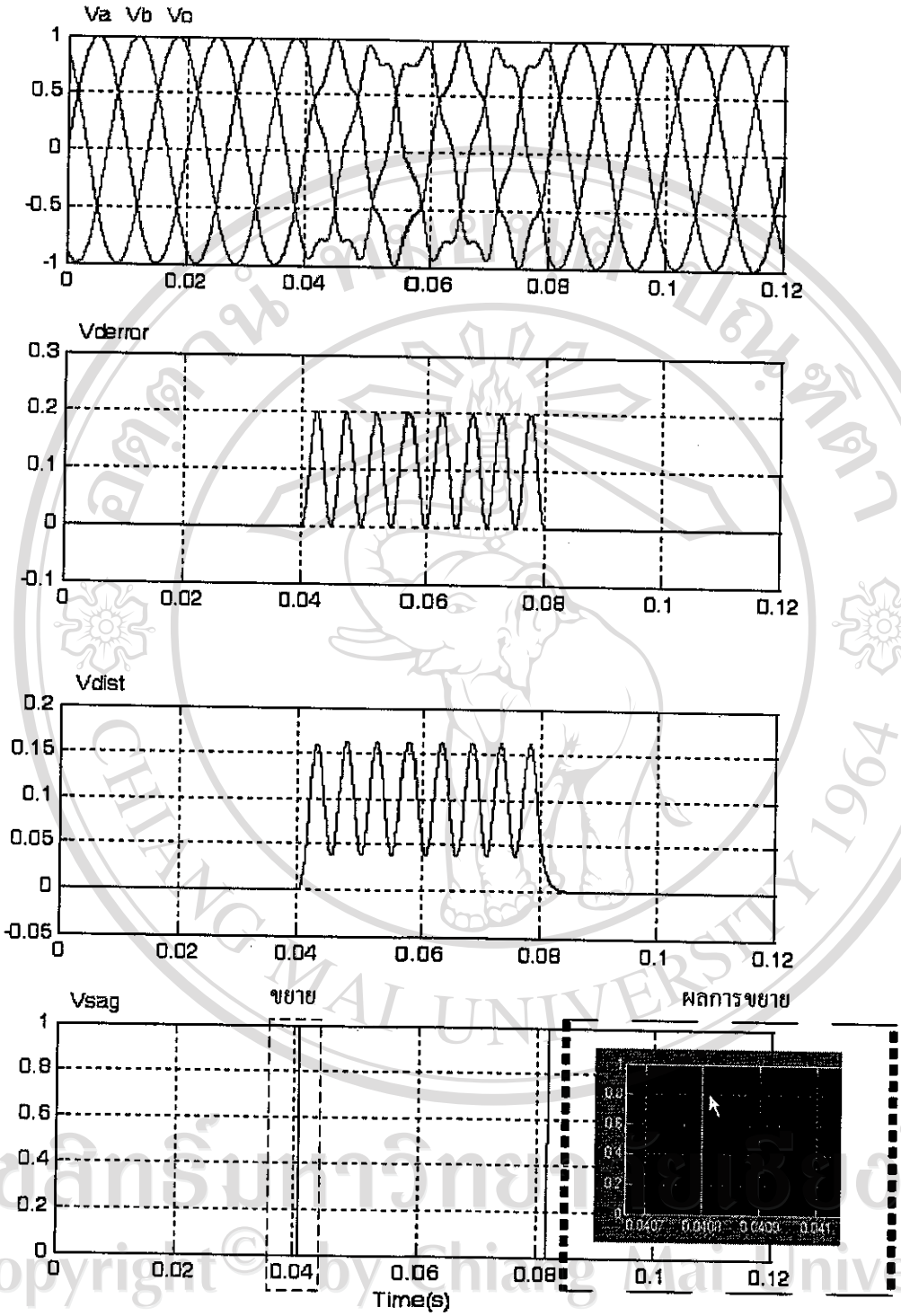
รูปที่ 4.8 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส
แบบไม่สมดุลขนาด 90% โดยตกลงไปหนึ่งเฟส ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright © by Chiang Mai University
All rights reserved



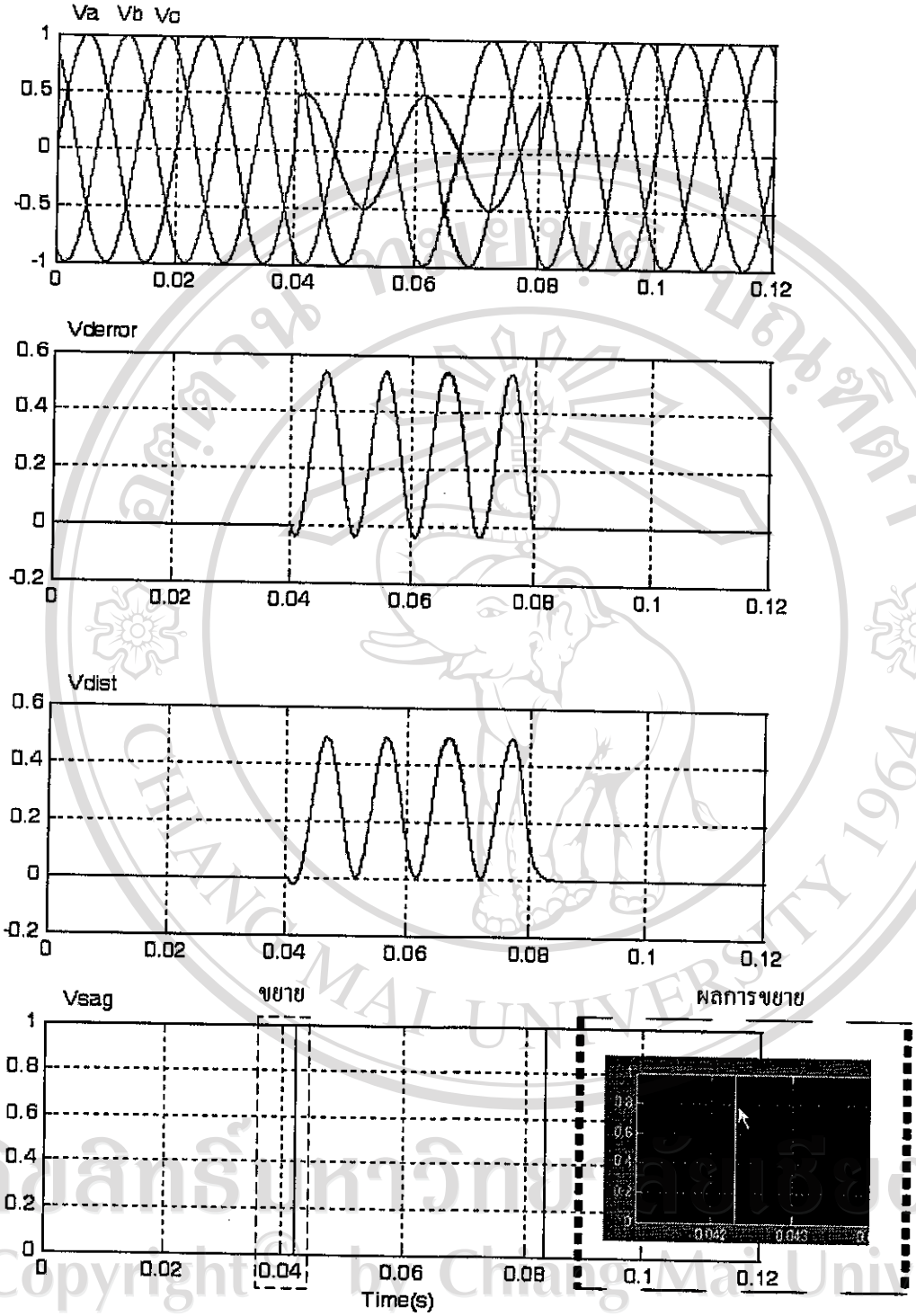
รูปที่ 4.9 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส
แบบไม่สมดุลขนาด 50% โดยตกลงไปหนึ่งเฟส ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



รูปที่ 4.10 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบสมดุลขนาด 90% และมีองค์ประกอบฮาร์มอนิกปะปนอยู่ในแหล่งจ่าย ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright © by Chiang Mai University
All rights reserved



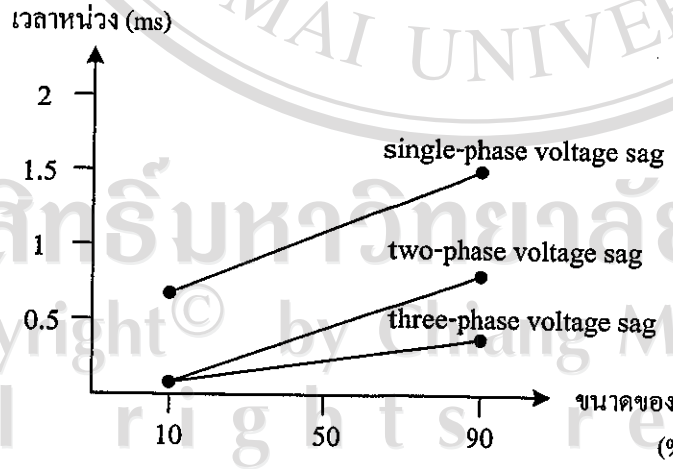
รูปที่ 4.11 ผลการจำลองของการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลขนาด 50% และมีการเลื่อนเฟสที่เฟส a แบบเฟสนำ 60 องศา ที่เวลา 0.04-0.08 วินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

4.1.3 ผลการประเมินอัลกอริทึมจากการจำลองการทำงาน

จากผลการจำลองการทำงาน ทำให้ทราบว่าอัลกอริทึมที่ออกแบบไว้สามารถตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสในสภาวะการเกิดแบบสมดุลและไม่สมดุล ทั้งในกรณีที่เป็นระบบเชิงเส้นและระบบที่มีฮาร์มอนิกปะปนอยู่ของแหล่งจ่าย และยังสามารถบอกขนาดของแรงดันช่วงเวลาในการเกิดแรงดันตกชั่วขณะ โดยดูได้จากช่วงเวลาที่ค่าขนาดของแรงดัน V_{derror} ตกลงไปและตรวจจับเมื่อเกิดการเลื่อนเฟสของแรงดันตกชั่วขณะได้ โดยจะมียอดแหลม ณ จุดที่เกิดการเลื่อนเฟสขึ้น และแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลโดยตกลงไปหนึ่งเฟส (Single-phase voltage sag) จะเป็นสภาวะที่ยากที่สุดสำหรับการตรวจจับอย่างทันทีทันใด และจะมีค่าระลอกของสัญญาณ V_{derror} ที่สูงเมื่อเปรียบเทียบกับการเกิดแรงดันตกชั่วขณะชนิดสามเฟสแบบไม่สมดุลโดยตกลงไปสองเฟส (Two-phase voltage sag) และการเกิดแรงดันตกชั่วขณะชนิดสามเฟสแบบสมดุล (Three-phase voltage sag)

รูปที่ 4.12 แสดงเวลาหน่วงของผลการจำลองการทำงานของการตรวจจับในกรณีเกิดแรงดันตกชั่วขณะแบบสมดุลและไม่สมดุลที่มีขนาดของแรงดันต่าง ๆ กันคือที่ขนาด 10% , 50% และ 90% พบว่าขนาดของแรงดันตกมีอิทธิพลต่อเวลาหน่วง คือเวลาหน่วงจะมีค่าน้อยเมื่อเป็นแรงดันตกแบบลึก (การเกิดแรงดันตกชั่วขณะที่เหลือแรงดันขณะเกิดแรงดันตกน้อยกว่าแรงดันปกติมาก) และเวลาหน่วงจะมีค่ามาก เมื่อเป็นแรงดันตกแบบตื้น (การเกิดแรงดันตกชั่วขณะที่เหลือแรงดันขณะเกิดแรงดันตกค่อนข้างมาก) และเวลาหน่วงที่เกิดจากขนาดของแรงดันต่างๆ สำหรับการตรวจจับแรงดันตกชั่วขณะทั้งแบบสมดุลและไม่สมดุลมีค่าน้อยกว่า 1/4 คาบ (5 ms) จึงสรุปได้ว่าอัลกอริทึมที่ออกแบบไว้สามารถนำไปใช้งานในทางปฏิบัติได้จริง

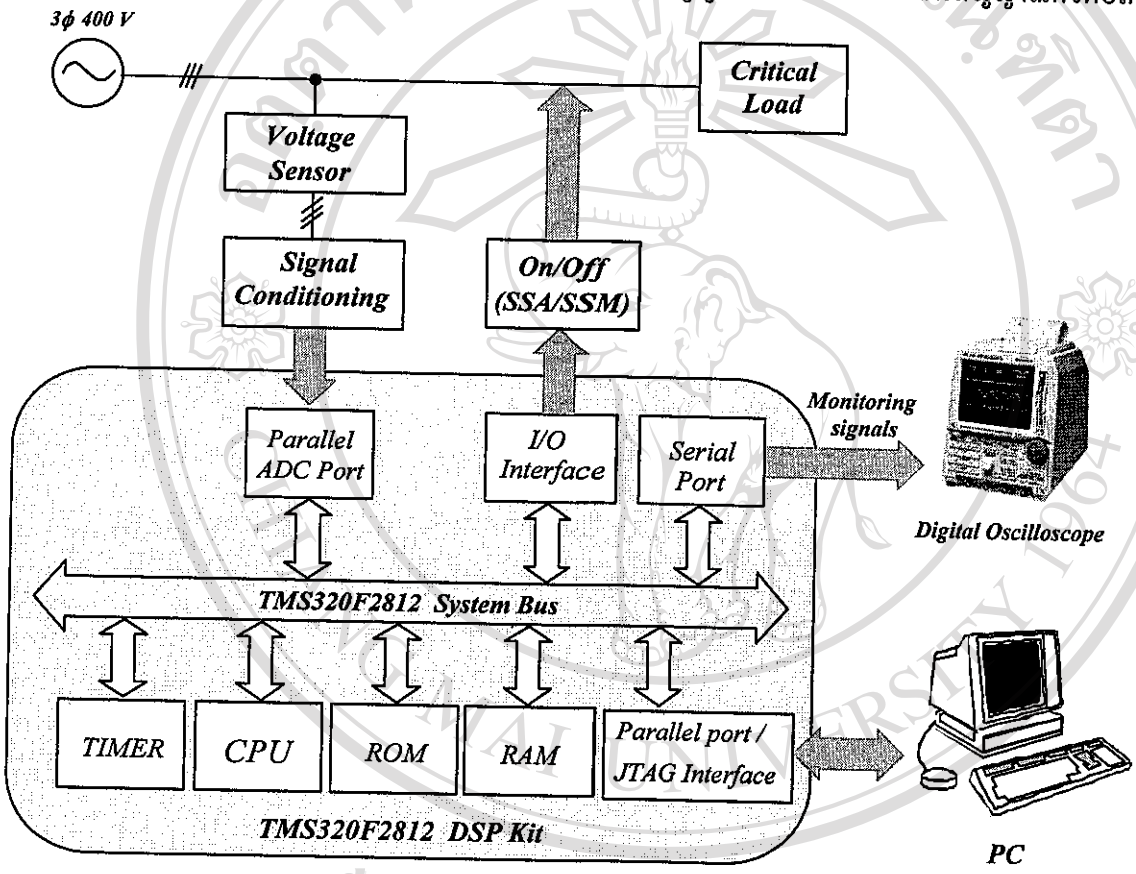


รูปที่ 4.12 เวลาหน่วงของการตรวจจับในกรณีเกิดแรงดันตกชั่วขณะแบบสมดุลและไม่สมดุลที่มีขนาดของแรงดันตกที่ต่างกัน

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

4.2 ฮาร์ดแวร์ของระบบ

โครงสร้างฮาร์ดแวร์ของระบบทั้งหมดแสดงได้ดังรูปที่ 4.13 ประกอบด้วย 2 ส่วน คือ ส่วนชุดควบคุม และส่วนการตรวจจับสัญญาณ โดยที่ส่วนชุดควบคุมการทำงานของระบบจะใช้บอร์ดตัวประมวลผลสัญญาณดิจิตอล TMS320F2812 ของบริษัท Texas Instruments และส่วนการตรวจวัดสัญญาณจะใช้ไอซีเบอร์ HCPL-788J เป็นตัววัดสัญญาณแอนะลอกที่แยกการเชื่อมต่อทางไฟฟ้าของสัญญาณอินพุตและสัญญาณเอาต์พุต และส่งสัญญาณไปยังภาค (Analog to Digital Converter ; ADC) ของบอร์ดสำเร็จรูป เพื่อทำการแปลงสัญญาณแอนะลอกไปเป็นสัญญาณดิจิตอล



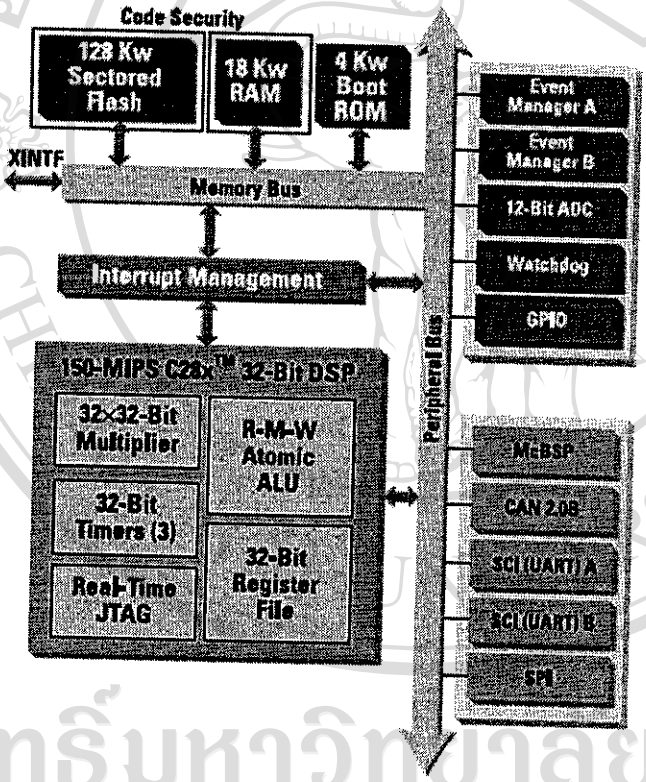
รูปที่ 4.13 โครงสร้างฮาร์ดแวร์ของต้นแบบอุปกรณ์ตรวจจับแรงดันตกชั่วขณะชนิดสามเฟส

4.2.1 ส่วนชุดควบคุม

เนื่องจากการทำงานของต้นแบบอุปกรณ์ตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสมีสมการทางคณิตศาสตร์สลับซับซ้อน ดังนั้นในการคำนวณและประมวลผลจึงต้องใช้หน่วยประมวลผลที่มีประสิทธิภาพและความเร็วสูง โดยในวิทยานิพนธ์นี้ใช้ตัวประมวลผลสัญญาณดิจิตอลซึ่งเป็นบอร์ดสำเร็จรูป DSP Controllers รุ่น TMS320F2812 ของบริษัท Texas Instruments ซึ่งมีฟังก์ชันสนับสนุนการทำงานในด้านอิเล็กทรอนิกส์กำลัง (Power Electronics) หลายอย่างและ

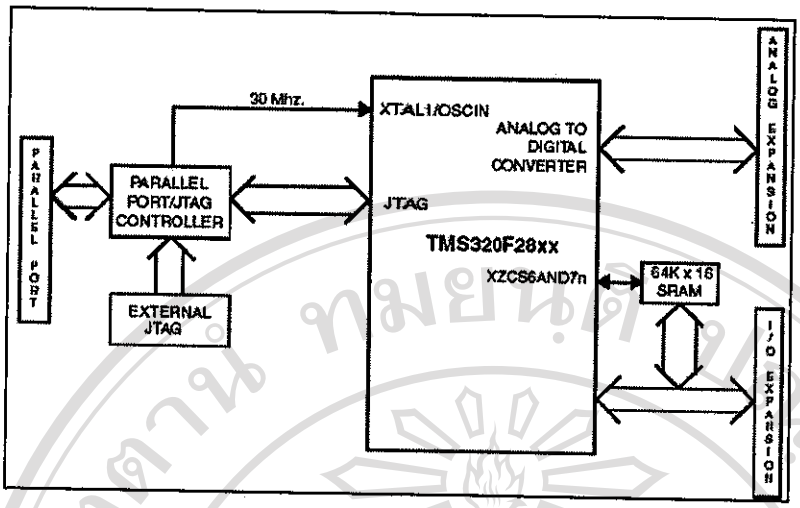
ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

มีการใช้งานเป็นที่แพร่หลาย TMS320F2812 เป็นดีเอสพีแบบ 32 บิต มีความเร็วในการทำคำสั่ง 150 ล้านคำสั่งต่อวินาที (Million Instructions Per Second :MIPS) ทำการพัฒนาโปรแกรมได้ทั้งภาษาแอสเซมบลีและภาษาซี สามารถพัฒนาอัลกอริทึมทางคณิตศาสตร์ด้วย C/C++ และสนับสนุนการทำงานแบบเวลาจริง ตลอดจนมีส่วนประกอบอื่นๆ ที่จำเป็นต้องใช้ในการตรวจจับแรงดันตกชั่วขณะชนิดสามเฟสประกอบไปด้วยมีวงจรแปลงสัญญาณจากแอนะลอกเป็นดิจิตอล (ADC) อยู่ภายในซึ่งมีอินพุต 16 ช่อง มีความละเอียด 12 บิตสูงสุด มี ROM ขนาด 128K Words 16 bits, RAM ขนาด 18K Words 16 bits, สัญญาณ PWM 12 Channel, I/O-EVA (พอร์ต A), I/O-EVB (พอร์ต B), Serial Communications Interface (SCI) 2 ช่อง และ Serial Peripheral Interface (SPI) เป็นต้น โดยโครงสร้างภายในของ TMS320F2812 ดังแสดงในรูปที่ 4.14



รูปที่ 4.14 โครงสร้างภายในของ DSP รุ่น TMS320F2812 (ที่มา: TEXAS INSTRUMENTS [19])

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



รูปที่ 4.15 แผนภาพบล็อกของบอร์ด eZdsp™F2812 (ที่มา: SPECTRUM DIGITAL INC. [20])

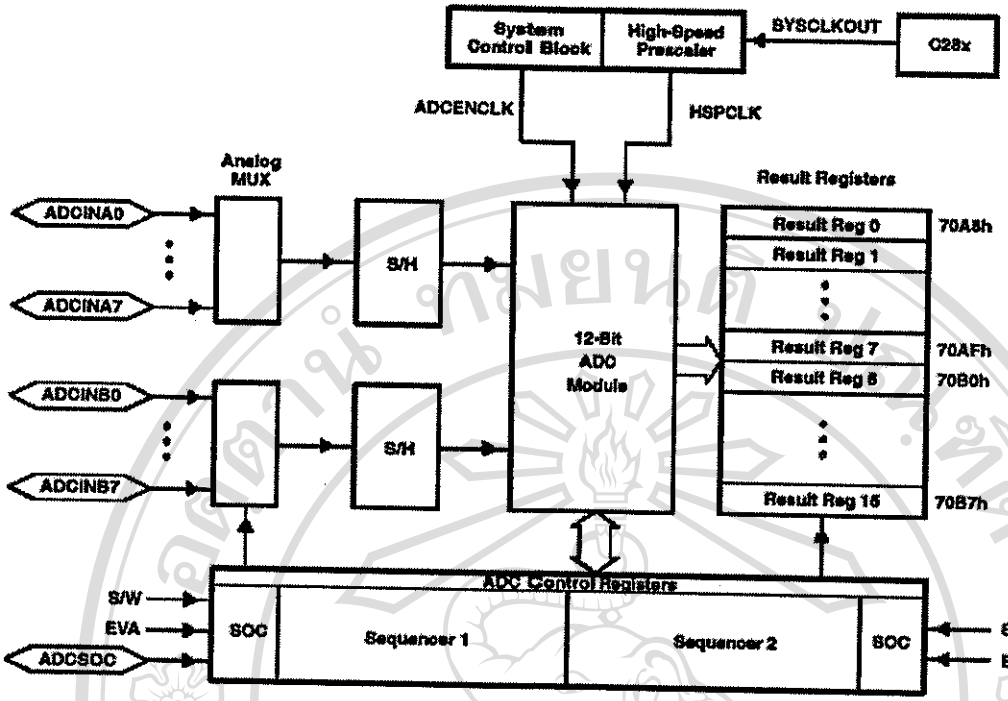
สำหรับซอฟต์แวร์ที่ทำการพัฒนาบนเครื่องคอมพิวเตอร์จะถูกถ่ายโอนมาที่ RAM บนบอร์ดสำเร็จรูป (DSP Board) ผ่าน Pararell Port / JTAG Interface ดังแสดงในรูปที่ 4.15 ซึ่งเป็นตัวเชื่อมระหว่างเครื่องคอมพิวเตอร์กับบอร์ดสำเร็จรูป โดยที่ JTAG ของบอร์ดสำเร็จรูปจะสนับสนุนการอินเตอร์เฟสบนมาตรฐาน IEEE 1149.1 และข้อมูลของแรงดันกระแสสลับที่ตรวจวัดมาจะถูกส่งมาที่บอร์ดสำเร็จรูปผ่านทางพอร์ตแบบขนาน (Parallel ADC Port) เพื่อแปลงเป็นสัญญาณดิจิตอลและทำการประมวลผล และใช้ช่องสัญญาณ PWM ที่อยู่ภายในบอร์ดซึ่งสามารถปรับความถี่ได้ในย่านที่กว้างไว้แสดงผลเอาต์พุตต่าง ๆ

4.2.1.1 ตัวแปลงสัญญาณจากแอนะลอกเป็นดิจิตอลของ TMS320F2812

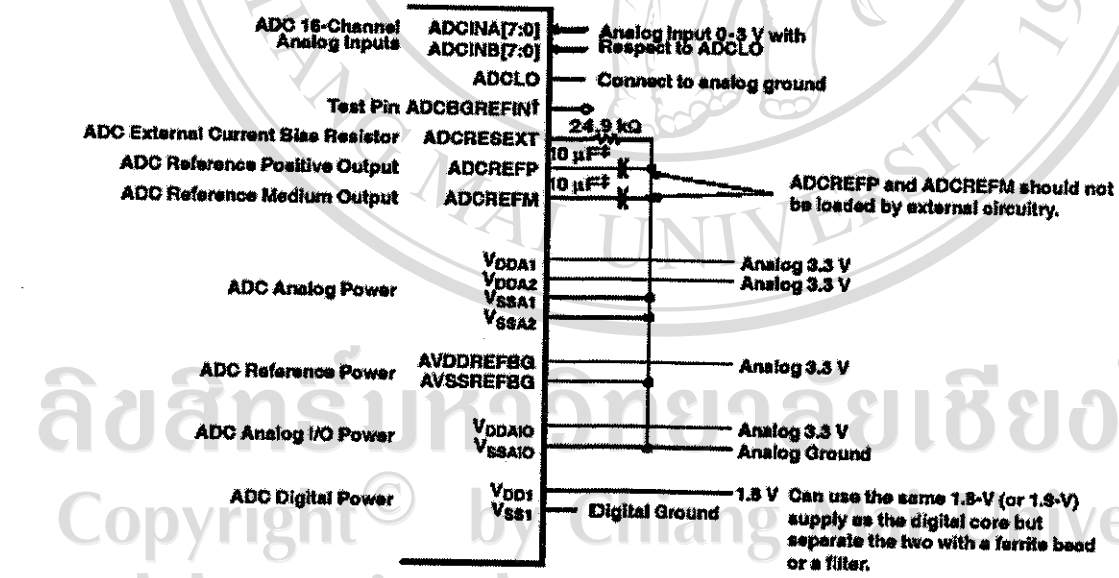
ตัวแปลงสัญญาณจากแอนะลอกเป็นดิจิตอล (ADC) ของ TMS320F2812 มีขนาด 12 บิต มีวงจรแซมเปิ้ลและโฮล (Sample-and-hold ; S/H) อยู่ภายใน เวลาในการแปลงเร็วมากคือ 80 ns ที่สัญญาณนาฬิกาของ ADC 25 MHz มีอินพุต 16 ช่องแบบมัลติเพลกซ์ มีรีจิสเตอร์สำหรับเก็บผลการแปลงทั้งหมด 16 ตัวซึ่งแยกอิสระต่อกัน โครงสร้างภายในของ ADC แสดงดังรูปที่ 4.16

การใช้งาน ADC ของ TMS320F2812 ที่ต้องการความละเอียดสูงในการออกแบบแผ่นวงจรพิมพ์จะต้องให้ความสำคัญเป็นอย่างมาก สิ่งที่ต้องทำคือการออกแบบลายวงจรของสัญญาณอินพุตที่เข้ามายังขา ADCIN จะต้องวางให้ห่างจากสัญญาณดิจิตอลให้มากที่สุด ทั้งนี้เพื่อให้ผลของการเกิดสวิตชิ่ง (Switching) ในสัญญาณดิจิตอลที่จะมาเชื่อมต่อเข้ามายังอินพุตของ ADC ให้น้อยที่สุดและต้องแยกการเชื่อมต่อทางไฟฟ้าของขากำลัง (V_{DDA1}/V_{DDA2},$AV_{DDREFBG}$) ในโมดุล ADC ออกจากแหล่งจ่ายกำลังของวงจรดิจิตอล โดยการต่อขาสัญญาณ ADC แสดงดังรูปที่ 4.17

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



รูปที่ 4.16 โครงสร้างของ ADC ใน TMS320F2812 (ที่มา: TEXAS INSTRUMENTS [19])



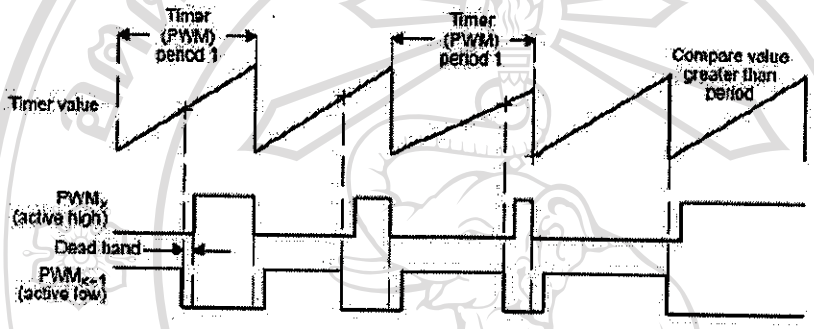
† Provide access to this pin in PCB layouts. Intended for test purposes only.
‡ TAIYO YUDEN EMK325F106ZH-T or equivalent
NOTES: A. External decoupling capacitors are recommended on all power pins.
B. Analog inputs must be driven from an operational amplifier that does not degrade the ADC performance.

รูปที่ 4.17 การต่อขาสัญญาณ ADC (ที่มา: TEXAS INSTRUMENTS [19])

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

4.2.1.2 พีดับเบิลยูเอ็ม ของ TMS320F2812

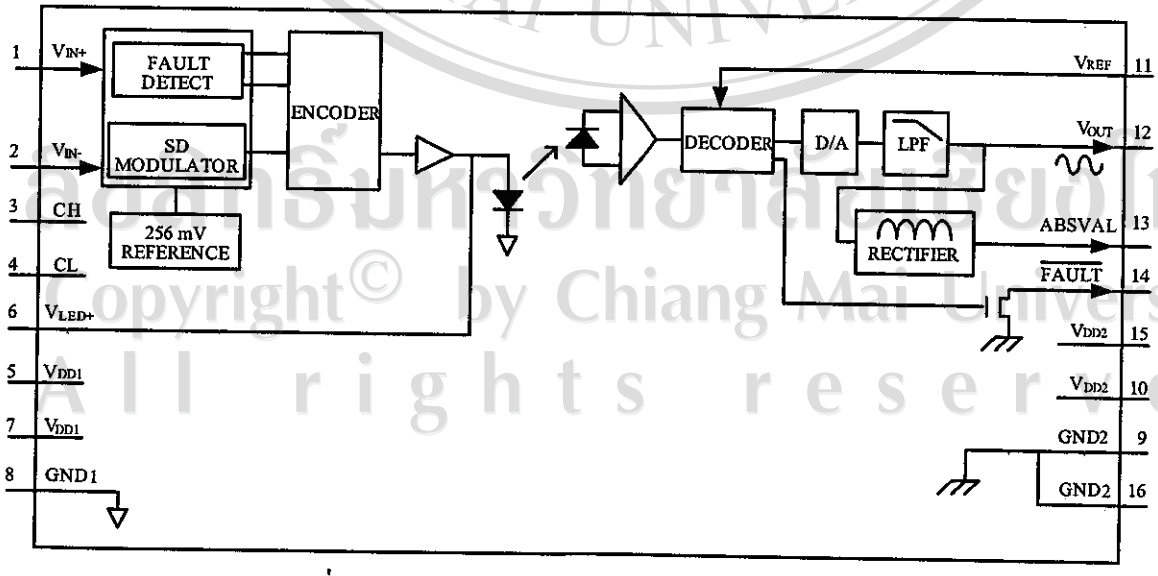
พีดับเบิลยูเอ็ม (Pulse width modulation ; PWM) ของ TMS320F2812 ถูกออกแบบให้ผลิตสัญญาณแบบ PWM เพื่อสามารถใช้ในงานทางด้านอิเล็กทรอนิกส์กำลังและการควบคุมมอเตอร์ โดยเอาต์พุตของ PWM มี 8 เอาต์พุตสำหรับ Event manager ในแต่ละตัว (A และ B) คือ มี PWM 3 คู่ซึ่งอิสระต่อกัน (6 เอาต์พุต) สามารถโปรแกรม Dead-band ได้ และอีก 2 เอาต์พุตที่ใช้ GP-Timer ในการควบคุมเปรียบเทียบ คุณสมบัติของ PWM จะมีขนาด 16 บิต และมีรูปแบบของสัญญาณ PWM คือ แบบ Asymmetric, Symmetric และ Space Vector PWM รูปที่ 4.18 แสดงตัวอย่างของการผลิตสัญญาณ PWM โดยการควบคุม Dead time ที่ค่าเริ่มต้นและรายคาบ (Period)



รูปที่ 4.18 การผลิตสัญญาณ PWM ใน TMS320F2812 (ที่มา: TEXAS INSTRUMENTS [19])

4.2.2 ส่วนการตรวจวัดสัญญาณ

ชุดตรวจวัดแรงดัน (Voltage Sensor) ใช้ไอซีเบอร์ HCPL-788J เป็นตัววัดสัญญาณแอนะลอกที่แยกการเชื่อมต่อทางไฟฟ้าของสัญญาณอินพุตและสัญญาณเอาต์พุตโดยมีโครงสร้างภายในดังรูปที่ 4.19



รูปที่ 4.19 โครงสร้างภายในของ HCPL-788J

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

โดยมีหลักการคือเมื่อได้รับสัญญาณแอนะลอก สัญญาณจะถูกแปลงเป็นสัญญาณดิจิตอลด้วยตัวแปลงสัญญาณแอนะลอกเป็นสัญญาณดิจิตอลแบบซิกมา-เดลตา ($\Sigma-\Delta$) ที่มีความถี่ในการแซมปลิ้งสัญญาณ 6 ล้านครั้งต่อวินาทีและส่งสัญญาณที่แปลงได้ผ่านตัวเข้ารหัสสัญญาณเพื่อส่งสัญญาณอินพุตผ่านไดโอดเปล่งแสง (LED) ก่อนที่จะถอดรหัสเพื่อแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะลอกโดยสัญญาณเอาต์พุตที่ได้จะมี 3 แบบคือ

1) สัญญาณ V_{out} ค่าแรงดันจะเป็นสัดส่วนโดยตรงกับสัญญาณอินพุตดังสมการที่ (4.1)

$$V_{out} = \frac{V_{ref} \cdot (V_{IN+} - V_{IN-})}{504mV} + \frac{V_{ref}}{2} \qquad (4.1)$$

จากสมการที่ (4.1) พบว่า

- ถ้าสัญญาณทางด้านอินพุตมีค่าบวกแรงดันเอาต์พุตจะมีค่ามากกว่า $\frac{V_{ref}}{2}$
- ถ้าสัญญาณทางด้านอินพุตมีค่าเป็นศูนย์แรงดันเอาต์พุตจะมีค่าเท่ากับ $\frac{V_{ref}}{2}$
- ถ้าสัญญาณทางด้านอินพุตมีค่าลบแรงดันเอาต์พุตจะมีน้อยกว่า $\frac{V_{ref}}{2}$

2) สัญญาณ *ABSVAL* จะแสดงค่าสัมบูรณ์ของสัญญาณอินพุต โดยแรงดันเอาต์พุตหาได้ดังนี้

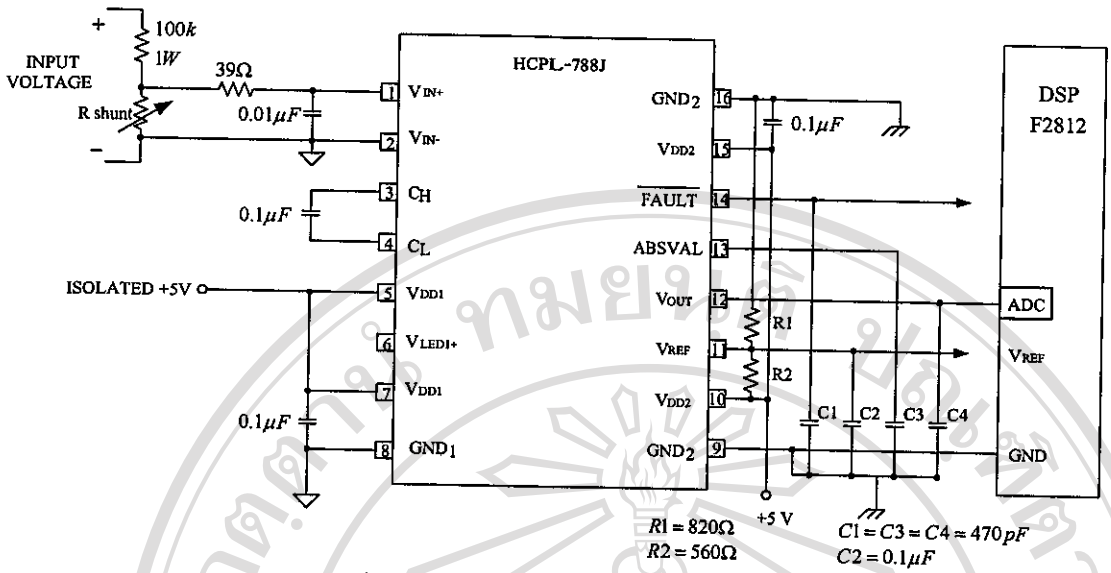
$$ABSVAL = \frac{2 \cdot V_{ref} \cdot (V_{IN+} - V_{IN-})}{504mV} \qquad (4.2)$$

จากสมการที่ (4.2) พบว่าเมื่อสัญญาณอินพุตเท่ากับศูนย์ค่าแรงดันเอาต์พุตจะมีค่าเท่ากับศูนย์ และแรงดันเอาต์พุตจะค่าเพิ่มขึ้นจนเท่ากับแรงดันอ้างอิง V_{ref} เมื่อแรงดันอินพุตมีค่าเท่ากับ ±256mV

3) สัญญาณ $\overline{FAULT}$ จะเป็นสัญญาณป้องกันการลัดวงจร โดยจะส่งสัญญาณเมื่อแรงดันอินพุตมีค่ามากกว่า ±256mV

ในวิทยานิพนธ์นี้จะใช้ HCPL-788J วัดค่าแรงดันผ่านช่องสัญญาณ V_{out} โดยใช้แรงดันอ้างอิง (V_{ref}) 3 โวลต์ ดังวงจรในรูปที่ 4.20 ซึ่งสัญญาณอินพุตจะวัดจากแรงดันตกคร่อม R_{shunt} โดยค่าแรงดันอินพุตที่ HCPL-788J อ่านค่าได้ถูกต้องอย่างเป็นเชิงเส้นจะอยู่ในช่วง ±200mV

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



รูปที่ 4.20 วงจรใช้งานของ HCPL-788J

4.3 ซอฟต์แวร์ของระบบ

จากโครงสร้างของระบบดังรูปที่ 4.13 สัญญาณของแรงดันที่ตรวจจับมาทั้งหมด หลังจากผ่านการปรับแต่งสัญญาณและจำกัดขนาดแล้ว ก็จะถูกอ่านเข้าสู่ตัวประมวลผลสัญญาณดิจิตอลเพื่อแปลงเป็นข้อมูลทางดิจิตอล จากนั้นทำการเขียนโปรแกรมซอฟต์แวร์ด้วยภาษาซี (C Code) โดยใช้โปรแกรมสำเร็จรูป Code Composer Studio (CCS) ของบริษัท Texas Instruments ส่งผ่านทาง Pararell Port / JTAG Interface ซึ่งเป็นตัวเชื่อมระหว่างเครื่องคอมพิวเตอร์กับบอร์ดสำเร็จรูป และสามารถสรุปเป็นแผนภาพขั้นตอนการทำงาน (Flow chart) ของวงจรตรวจจับแรงดันตกชั่วขณะดังรูปที่ 4.21 สำหรับซอฟต์แวร์ทั้งหมดสามารถเขียนได้ดังแสดงใน PDL (Program Development Language) ในหน้าถัดไปซึ่งซอฟต์แวร์นี้จะใช้อินเตอร์รัพต์ (Interrupt) ทุกๆ 100 ไมโครวินาที หมายความว่าเมื่อเวลาผ่านไปทุกๆ 100 ไมโครวินาทีจะมีการตรวจวัดค่าแรงดันเข้าไปในตัวประมวลผลสัญญาณดิจิตอลเพื่อทำการคำนวณต่อไป ซึ่งโปรแกรมในการบริการการอินเตอร์รัพต์ มีจำนวนแมชชีนไซเคิล 1,044 ไซเคิล โดยจะใช้เวลาทั้งหมดประมาณ 6.96 ไมโครวินาที

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

****

Three Phase Voltage Sag Detection by Software Phase –Locked Loop Method

****

MODULE : MAIN PROGRAM

Initialize

Initialize all variables

Initialize all timers

Clear all variables

Enable time interrupt

Loop here and wait for interrupt only

Switching frequency Interrupt Service Routine

Read Phase voltage

Input V_a, V_b, V_c from ADC

Voltage component detection

Convert (V_a, V_b, V_c) to voltage space vector (V_α, V_β) , then convert voltage space vector to d-q axis rotating at fundamental frequency (positive sequence) (V_d, V_q)

Software Phase Locked Loop

Frequency (ω) tracking by Lag/Lead Controller

Integrate ω to generate angle of voltage space vector $(\hat{\theta})$

Generate sinusoidal reference signals

Disturbance Detection

Voltage Disturbance $(V_{d_{error}})$ and Low pass filter

Calculate Voltage Disturbance

$$V_{d_{error}} = V_{d_{ref}} - V_d$$

Hysteresis comparator

Calculate lower and upper limits (LL,UL)

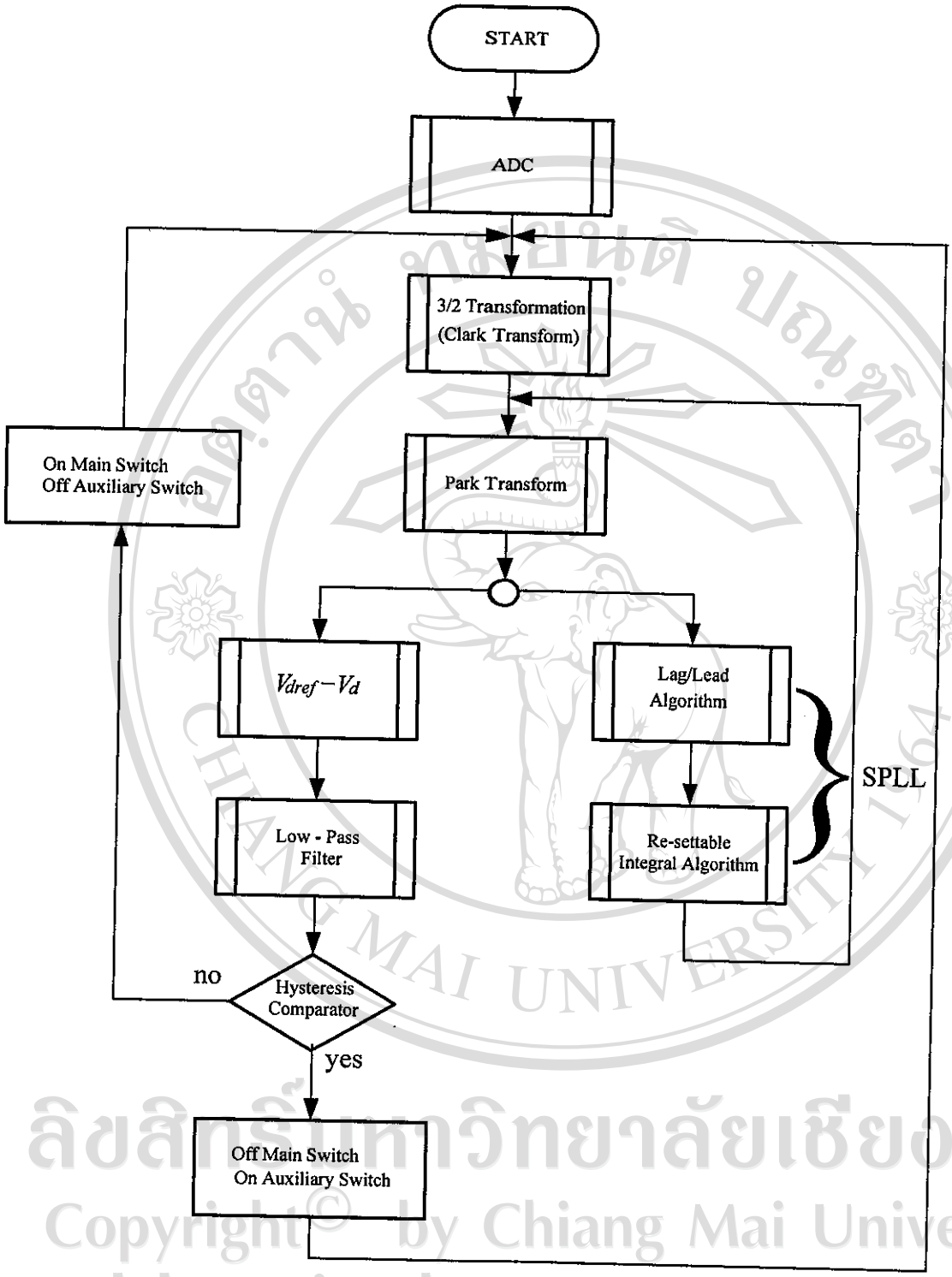
Generate ON-OFF signal

Return Interrupt

END MAIN PROGRAM

****

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved



ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright© by Chiang Mai University
All rights reserved

รูปที่ 4.21 แผนภาพขั้นตอนการทำงานของวงจรตรวจจับแรงดันตกชั่วขณะ